

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平3-174715

⑬ Int. Cl.⁹

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)7月29日

H 01 L 21/027
H 01 J 37/09

A 9069-5C
7013-5F

H 01 L 21/30 3 4 1 B

審査請求 未請求 請求項の数 21 (全 29 頁)

⑮ 発明の名称 ブランキングアパーチャアレイ、その製造方法、荷電粒子ビーム露光装置及び荷電粒子ビーム露光方法

⑯ 特 願 平2-124636

⑰ 出 願 平2(1990)5月15日

優先権主張 ⑱ 平1(1989)5月19日 ⑲ 日本(JP) ⑳ 特願 平1-126121

㉑ 発 明 者 坂 本 樹 一 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

㉒ 発 明 者 笛 木 俊 介 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

㉓ 出 願 人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

㉔ 代 理 人 弁理士 伊東 忠彦 外2名

最終頁に続く

明 細 書

1. 発明の名称

ブランキングアパーチャアレイ、その製造方法、荷電粒子ビーム露光装置及び荷電粒子ビーム露光方法

2. 特許請求の範囲

(1) 荷電粒子ビームが照射され、該ビームを整形するブランキングアパーチャアレイにおいて、
ブランキング電極(3a, 3b, 19a, 19b, E₁, E₂)付きのアパーチャ(2, 19c, AP)が少なくともm行n列に二次元配列された基板(75, 110)と、

該第1列(1=1, 2, ..., n)におけるアパーチャのm組の該ブランキング電極にパターンデータに従った電圧を印加するmビットのシフトレジスタ(5, 19d)がn個設けられていることを特徴とするブランキングアパーチャアレイ。

(2) 前記n個のシフトレジスタ(5, 19d)

にパターンデータを入力するバッファ(6,

19e)が設けられていることを特徴とする請求項1記載のブランキングアパーチャアレイ。

(3) 前記n個のシフトレジスタ(5, 19d)は前記m行n列に配列されたアパーチャ(2, 19c, AP)の各行に給って設けられていることを特徴とする請求項1又は2記載のブランキングアパーチャアレイ。

(4) 前記n個のシフトレジスタ(5, 19d)は、夫々前記m行n列に配列されたアパーチャ(2, 19c, AP)の行方向の格子幅内にインバータ及び通過制御トランジスタを直列に接続して1単位としたシフトレジスタ部を複数直列接続してなり、各シフトレジスタ部の出力は対応するブランキング電極(3a, 3b, 19a, 19b, E₁, E₂)へ印加され、該m行n列に配列されたアパーチャの列方向の格子幅内に隣り合う前記通過制御トランジスタを夫々オン/オフさせる第1及び第2のクロック(CLK₁, CLK₂)の信号線が設けられていることを特徴とする請求項

1～3のうちいずれか一項記載のブランキングアパーチャアレイ。

(5) 前記n個のシフトレジスタ(5, 19d)は、夫々前記m行n列に配列されたアパーチャ(2, 19c, AP)の行方向の格子幅内に2個のインバータ(Q₁～Q₂)を第1のゲート(Q₁)で直列に接続して1単位とした回路部を第2のゲート(Q₂)で複数直列接続してなり、各回路部の出力は対応するブランキング電極(3a, 3b, 19a, 19b, E₁, E₂)へ印加され、該m行n列に配列されたアパーチャの列方向の格子幅内に該第1及び第2のゲートを夫々オン/オフさせる第1及び第2のクロック(CLK₁, CLK₂)の信号線が設けられていることを特徴とする請求項1～3のうちいずれか一項記載のブランキングアパーチャアレイ。

(6) 前記n個のシフトレジスタ(5, 19d)は、夫々前記m行n列に配列されたアパーチャ(2, 19c, AP)の行方向の格子幅内に1個のインバータ(Q₁, Q₂)及び1個のゲート

(Q₃)を接続して1単位としたシフトレジスタ部を複数直列接続してなり、各シフトレジスタ部の出力は対応するブランキング電極(3a, 3b, 19a, 19b, E₁, E₂)へ印加され、該m行n列に配列されたアパーチャの列方向の格子幅内に該ゲートを夫々オン/オフさせる第1及び第2のクロック(CLK₁, CLK₂)の信号線が設けられていることを特徴とする請求項1～3のうちいずれか一項記載のブランキングアパーチャアレイ。

(7) 前記n個のシフトレジスタ(5, 19d)は、前記パターンデータに加えて露光時間修正用データに従った電圧をも前記アパーチャ(2, 19c, AP)の前記ブランキング電極(3a, 3b, 19a, 19b, E₁, E₂)に印加し、該アパーチャの一部は露光時間修正用に用いられることを特徴とする請求項1～6のうちいずれか一項記載のブランキングアパーチャアレイ。

(8) 前記m行n列に配列されたアパーチャ(2, 19c, AP)及び前記n個のシフトレジスタ

- 3 -

(5, 19d)を1単位(64, 65)とするアレイが前記基板(75, 110)に複数単位独立して設けられていることを特徴とする請求項1～7のうちいずれか一項記載のブランキングアパーチャアレイ。

(9) 前記単位(64, 65)の他に、可変矩形用の開口部(66A)及び所望パターンの形状の透過孔を有するステンシル(66B)のうち少なくとも一方が前記基板(75, 110)に更に設けられていることを特徴とする請求項8記載のブランキングアパーチャアレイ。

00 半導体基板(110)に不純物拡散層(112)を形成し、その上にエピタキシャル成長層(114)を形成する工程と、

該エピタキシャル成長層に、インバータとゲートを単位としてその複数単位を直列に接続してなりシフトレジスタと該ゲートのクロック信号線を行、列方向に形成し、その行、列方向のシフトレジスタと信号線の各間に一対の電極付きの開口を形成する工程と、

- 4 -

該開口の一対の電極の一方(E₁)へシフトレジスタの各単位の出力端を接続し、他方(E₂)へは全て低電位線をまたは交互に高、低電位線を接続する工程を有することを特徴とするブランキングアパーチャアレイの製造方法。

01 一対の電極付きの開口を形成する工程は、エピタキシャル成長層の、各開口の対向する一対の側辺の位置に、細幅の溝(116)を半導体基板に達するまでトレンチエッチングにより蝕刻する工程と、

溝表面に絶縁膜(118)と形成する工程と、

電極となる金属(120)を各対の溝内に堆積させる工程と、

各対の溝内の電極間のエピタキシャル成長層および不純物拡散層を表面側からエッチングして除去し、該電極間の半導体基板を裏面側からテーパエッチングして除去して開口を作る工程とを有することを特徴とする請求項10記載のブランキングアパーチャアレイの製造方法。

02 ブランキング電極(3a, 3b, 19a,

- 5 -

- 6 -

19b, E, , E,) 付きのアパーチャ (2, 19c, AP) が少なくとも m 行 n 列に二次元配列された基板 (75, 110) を有するブランキングアパーチャアレイ (1, 19A) を用いて該ブランキング電極に印加する電圧で該アパーチャを通る荷電粒子ビームをオン/オフすることによりパターン化された荷電粒子ビームでステージ (22) 上の露光対象 (24) を露光する荷電粒子ビーム露光装置において、

該ブランキングアパーチャアレイは第 i 列におけるアパーチャの m 組のブランキング電極に露光すべき図形のパターンデータに従った電圧を印加する m ビットのシフトレジスタ (5, 19d) が n 個設けられていることを特徴とする荷電粒子ビーム露光装置。

03 前記ブランキングアパーチャアレイ (1, 19A) は、前記 m 行 n 列に配列されたアパーチャ (2, 19c, AP) 及び前記 n 個のシフトレジスタ (5, 19d) を 1 単位 (64, 65) とするアレイが前記基板 (75, 110) に複数単

位独立して設けられており、1つのアレイを使用して露光中に他のアレイに次に露光すべき図形のパターンデータに従った電圧を印加してオン/アパーチャの配列を次の所望パターンに変更するようにしてなることを特徴とする請求項 12 記載の荷電粒子ビーム露光装置。

04 前記シフトレジスタ (5, 19d) は、露光に先立って前記パターンデータを前記ブランキング電極 (3a, 3b, 19a, 19b, E, , E,) に供給してオン/アパーチャの配列を所望形状にし、その後ビーム (219) を入射してビーム断面形状を該所望形状に成形して露光を行なうようにしてなることを特徴とする請求項 12 又は 13 記載の荷電粒子ビーム露光装置。

05 前記ブランキングアパーチャアレイ (1, 19A) で選択されパターン化された前記荷電粒子ビームを前記露光対象へ投射する偏向収束手段 (35, 17, 20) を更に有することを特徴とする請求項 12~14 のうちいずれか一項記載の荷電粒子ビーム露光装置。

- 7 -

- 8 -

06 前記 n 個のシフトレジスタ (5, 19d) は、列方向 n ビットずつ順次入力される前記パターンデータをクロックにตอบสนองして一斉にシフト動作し、前記ステージ (22) の移動及び前記偏向収束手段 (35, 17, 20) の偏向は前記ブランキングアパーチャアレイ (1, 19A) で選択されパターン化されたビームが該ステージ上の前記露光対象 (24) 上の同じ位置に投射するように制御されることを特徴とする請求項 15 記載の荷電粒子ビーム露光装置。

07 前記 n 個のシフトレジスタ (5, 19d) は、列方向 n ビットずつ順次入力される前記パターンデータをクロックにตอบสนองして一斉にシフト動作し、該パターンデータに対するシフト動作終了後に前記荷電粒子ビームによる露光を行なうようにしてなることを特徴とする請求項 12~15 のうちいずれか一項記載の荷電粒子ビーム露光装置。

08 前記ブランキングアパーチャアレイ (1, 19A) は、単純矩形開口部、可変矩形用開口部、

およびステンシルが形成された第 1 のマスク (75A, 75B) と、単純矩形開口部、ブランキング矩形開口部、及びアパーチャアレイとその駆動機構が形成されている第 2 のマスク (75B, 75A) を備え、これらのマスクは、第 1 のマスクのアパーチャアレイ対応部分は単純矩形開口部であり、第 2 のマスクの可変矩形用開口部及びステンシル対応部分は単純矩形開口部またはブランキング矩形開口部であるように重ねて配設されることを特徴とする請求項 12 記載の荷電粒子ビーム露光装置。

09 m 行 n 列に二次元配列した可制御荷電粒子ビーム発生素子 (BG, , BG,) を備えて、露光すべき図形の各ドットに対応する該ビームを発生する荷電粒子ビーム発生手段 (1, 19A) と、

該発生素子のアレイの各行に沿って、その各素子にパターンデータに従う電圧を印加する m ビットのシフトレジスタ (5, 19d) と、

これら n 個のシフトレジスタへパターンデータを入力するバッファ (6, 19e) と、

- 9 -

- 10 -

前記発生手段が発生した荷電粒子ビームをステージ(22)上の露光対象(24)へ投射する偏向収束手段(35, 17, 20)とを備えることを特徴とする荷電粒子ビーム露光装置。

如 請求項18に記載の荷電粒子ビーム露光装置を用いた露光方法であって、

前記バッファ(8, 19e)は n 個の前記シフトレジスタ(5, 19d)へ、露光すべき図形のパターンデータを列方向 n ビットずつ順次入力し、 n 個のシフトレジスタはクロックに従って一斉にシフト動作し、

前記ステージ(22)の移動と偏向収束手段(35, 17, 20)の偏向は、前記荷電粒子ビーム発生手段で選択されパターン化されたビームが該ステージ上の同じ位置に投射するように制御することを特徴とする露光方法。

(21) 前記バッファ(8, 19e)が n 個のシフトレジスタ(5, 19d)へ入力するデータには図形パターンデータの他に修正用データが含まれ、一部の発生素子は露光時間修正用に用いられ

ることを特徴とする請求項20記載の露光方法。

3. 発明の詳細な説明

(概要)

ブランキングアパーチャアレイ、その製造方法、ブランキングアパーチャアレイを用いた荷電粒子ビーム露光装置及び方法に関し、

微細さ、位置合わせ精度、クイックターンアラウンド、制御及び信頼性の全てにおいて従来のリソグラフィ技術よりすぐれた荷電粒子露光を可能とすることを目的とし、

ブランキングアパーチャアレイは、ブランキング電極付きのアパーチャが少なくとも m 行 n 列に二次元配列された基板と、ブランキング電極にパターンデータに従った電圧を印加する m ビットのシフトレジスタが n 個設けられるように構成する。

(産業上の利用分野)

本発明はブランキングアパーチャアレイ、その

- 11 -

製造方法、ブランキングアパーチャアレイを用いた荷電粒子ビーム露光装置及びブランキングアパーチャアレイを用いた荷電粒子ビーム露光方法に関する。

近年、益々集積回路(IC)の集積度と機能が向上して、ICは計算機、通信機器等広く産業全般に亘る技術の核としての役割が期待されている。

IC製造技術の大きな柱は、微細加工による高集積化である。フォトリソグラフィは、微細加工の限界が $0.3\mu\text{m}$ 程度である。しかし、電子、イオンやX線ビームなどを用いる荷電粒子ビーム露光では、 $0.1\mu\text{m}$ 以下の微細加工が $0.05\mu\text{m}$ 以下の位置合わせ精度で出来る。従って、1秒を1秒程度で露光する荷電粒子ビーム露光装置が実現すれば、微細さ、位置合わせ精度、クイックターンアラウンド、信頼性のどれをとっても他のリソグラフィ技術の追従を許さない。つまり、1～4Gbitメモリや1MゲートLSIの製造も可能となる。

- 13 -

- 12 -

(従来の技術)

荷電粒子ビーム露光装置には、ビームをスポット状にして使用するポイントビーム型、サイズ可変の矩形断面にして使用する可変矩形ビーム型、ステンシルを使用して所望断面形状にするステンシルマスク型、所望断面形状にするのにブランキングアパーチャアレイを使用するタイプのもの等種々の装置がある。

ポイントビーム型の荷電粒子ビーム露光装置ではスループットが低いので、研究開発用にしか使用されていない。可変矩形ビーム型の荷電粒子ビーム露光装置では、ポイントビーム型と比べるとスループットが1～2桁高いが、 $0.1\mu\text{m}$ 程度の微細なパターンが高集積度で訪まったパターンを露光する場合などではやはりスループットの点で問題が多い。他方、ステンシルマスク型の荷電粒子ビーム露光装置は、可変矩形アパーチャに相当する部分に複数の繰り返しパターン透過孔を形成したステンシルマスクを用いる。従って、ステンシルマスク型の荷電粒子ビーム露光装置では露

- 14 -

り返しパターンを露光する場合のメリットが大きく、可変矩形ビーム型に比べてスループットが向上される。

第23図に、ステンシルマスクを備えた荷電粒子ビーム露光装置の概要を示す。集束電磁レンズ212は、光軸214（ビーム軸を便宜的に光軸と呼称する）に球心を一致させた図示しない一対の凸電磁レンズより構成され、一方のレンズで入射側球面212aを他方のレンズで出射側球面212bを形成している。ステンシルマスク213は、光軸214に一致して開口された可変矩形透過孔213aと複数の繰り返しパターン透過孔213bとを備えて形成されている。

この様な構成において、入射側球面212aへのビーム入射位置は、静電偏向器211による偏向量によって決まる。例えば、可変矩形透過孔213aを選択する場合、ビームは球面212aの位置Aに入射し、パターン透過孔213bを選択する場合は、同様に位置Bに入射する。ビーム静電偏向器211の偏向操作に応じて、ビームの球面212aへの入射位置

が変化し、ステンシルマスク213を通過し、出射側球面212bから出射し、再び光軸214に戻る経路をとり、ウエハー上へパターンが転写される。

第23図(c)(d)にステンシルマスク上のパターンの一例を示し、同図(b)にこれらのパターンのマスク上での配列状態を示す。パターン213b、213cは配線の連結部によく現われるパターンであり、この1つで、又は点線で示すように複数個連続させて、配線またはその連結部の描画（露光）を行なう。213aは可変矩形アパーチャ用の開口である。矩形断面に成形したビームをこの開口213aに一部のみ重なるようにして投射することで、ビーム断面がずれ量に応じて変化して（可変矩形の）出て行く。矩形断面に成形したビームをパターン213b、213cに投射すると、図示パターン（孔）内のみ通過可能であるから、断面が図示パターンに変更されたビームになって出て行く。

このステンシルマスクは、図示パターンを一時に露光でき、露光速度を上げることができる。しかし、従来型では、ステンシルマスクは、複数の

- 15 -

透過孔を持つものの、転写パターンは、露光に合わせて、事前にステンシルマスクとして形成しなければならない、また露光領域が有限であるため、1枚のステンシルマスクに納まらない多数の転写パターンが必要な半導体回路に対しては、複数枚のステンシルマスクを作成しておいてそれを1枚ずつ取出して使用する必要があり、マスク交替の時間が必要になるため、著しくスループットを低下させる結果を招いている。

この問題点を解決する方法として、2次元方向に配列されたブランキングアパーチャアレイをステンシルマスクのかわりに設けることが提案されている。このような構成であれば、任意の形状の転写パターンを、個々のブランキング電極に印加する信号を変化させるだけでつくり出すことができる。

2次元ブランキングアパーチャアレイによる方法では、シリコン等の半導体結晶に多数の開口を2次元的に並べて、開口の両側にブランキング電極を形成し、これに電圧を印加する、しないをパ

ターンデータにより与える。例えば、各孔のうち、一方の電極をグランドに落とし、他方の電極に電圧を印加すると、そこを通過した電子ビームは曲げられるので、ブランキングアパーチャアレイの下部に設置されたレンズを通過した後アパーチャでカットされてビームが試料面に出て来ない。又、他方の電極に電圧を印加しないと、そこを通過した電子ビームは曲げられないので、ブランキングアパーチャアレイの下部に設置されたレンズを通過した後アパーチャでカットされずにビームが試料面に照射される。

第24図にこの電子ビーム露光装置の概要を示す。BAAがブランキングアパーチャアレイであり、電子ビームEBの断面を所望形状のドットパターンに変形する。電子銃EGから出た電子ビームEBは集束、偏向等されてアパーチャアレイBAAに入射し、再び集束、偏向等され、対物レンズOLを通過して、可動ステージSTのウエハーWFの指定位置に入射する。アパーチャアレイBAAは可変矩形やステンシルと並設され

- 17 -

- 18 -

ることもあり、この場合電子ビームはアパーチャアレイBAAの所望位置を通るよう点線で示す如くシフトされる。このシフトや、アパーチャアレイBAAの各開口のオン/オフはパターンコントローラPCTLにより行なわれ、コントローラPTCLはプロセッサCPUにより制御される。なおこの図のMDは磁気ディスク装置、MTは磁気テープ装置、D/Aはデジタルアナログ変換及び増幅器、G/Sは2次元オン/オフ情報発生/蓄積装置である。

2次元ブランキングアパーチャアレイでは例えば200×200個の開口を備え、これを通った電子ビームは最大200×200本の点ビームになる。開口は個々にオン/オフ可能なので、この200×200個のドットで任意の2次元図形を表わすことができる。アパーチャアレイを通った電子ビームはレンズで縮小し、例えば0.01μmの、最大200×200本、縦横4μm×4μmの領域に収まるビームとしてウエーハに投射する。電子ビーム露光装置の最終レンズの球面収差、色収差は約

- 19 -

低でも100本の配線パターンを通すことになる（この場合には左右から半分ずつ、配線パターンを繋げるとしている）。5μmの幅に100本のラインアンドスペースを形成するためには、1層で行う場合には、最も配線の混り合った場所においては0.025μmのラインアンドスペースパターンを形成することが必要となるが、これは現時点では困難である。多層配線を用いた場合でも、例えば10層でも0.25μmラインアンドスペースが必要であり、0.25μmのラインアンドスペースは技術的には可能な状況ではあるが、10層の配線パターンは今日においても未だ現実的ではない。

また困難は、次の点にもある。通常ブランキングアパーチャアレイは電子ビーム露光装置のコラムといわれる真空中に設置されるが、ここへ4万本の信号ラインを持ち込むことは、信号伝送線、信号の送り出しIC、真空のハーメチックシール、どれをとっても至難の業と言わざるを得ない。従って、2次元ブランキングアパーチャアレイは各開口の電極へ単純に配線してオン/オフするこ

0.02μm程度にしか抑える事が出来ないで、ブランキングアパーチャアレイを通過した個々のビームはウエーハ面上では接触または重なって照射されることになり、露光、現像されたパターンが個々の点に離れてしまうことはない。

（発明が解決しようとする課題）

ところで200×200=4万個のON/OFF情報を、4万個のブランキングアパーチャアレイの各々の電極に与えることは容易ではない。例えば厚さ30μmのSiの結晶に15μmピッチで10μm×10μmの開口をエッチングで形成し、その表面に3000Å程度の薄い酸化膜を形成して、開口の2つの対向する面にタングステン(W)で電極を形成すると、Siの結晶に5μm幅の格子状の部分が残る。この5μm幅の格子状上に金属配線パターンを形成し、金属配線パターンを通じて各開口の電極に独立な電気的信号を付与することが必要である。200行200列の格子点に配線パターンを繋げるためには、各1本の横ラインに最

- 20 -

とを想定する限り、非現実的である。

更に、ビーム補正の問題がある。アパーチャアレイに入射するビームの断面各部の強度不均一性（クロスオーバー像の強度分布の不均一性）の補正はオン時間で補正するが、これもn×m個の2次元アレイになってアパーチャ数が増大すると、補正回路の規模が大になる。

またパターンが微細化すると、隣接パターン間の近接効果によるパターンの太り/細りが目立ってくるが、この近接効果補正の機能は上記提案装置にはない。

上記の如き2次元ブランキングアパーチャアレイを用いる露光装置は、例えば実公昭56-18402号公報に開示されている。この公報によると、複数のゲート板からなるアパーチャアレイを用いることにより、電極への配線を複数のゲート板に分散させている。しかし、この方法をとっても配線数が全体として減少するわけではないので電極への配線は依然複雑である。又、ゲート板間に対応する電極の位置合わせを行うことは非常に難しい。

- 21 -

開口を1列にだけ並べた1次元ブランキングアパーチャアレイは、以上に述べたような問題が全く無いために、比較的簡単に製作できるが、このようなアパーチャアレイではスループットが小さく、ウェーハの1枚を1秒で描画するというようなIC製造上の要求には応じられそうにない。

それ故本発明は、微細さ、位置合わせ精度、クイックターンアラウンド、信頼性のどれをとっても、他のリソグラフィ技術の追隨を許さないブランキングアパーチャアレイによる荷電粒子ビーム露光を可能にするために、現実的に可能で制御が容易であると共に補正も容易な2次元パターン化ビームを形成するブランキングアパーチャアレイの構造と製作方法を提供することを目的とするものである。

アパーチャアレイの各開口の電極へオン/オフ信号を送るにはシフトレジスタが有効である。しかし格子幅は狭いので、シフトレジスタもこの狭い格子幅内に作り込める構成のものにする必要がある。それ故、シフトレジスタ等を極めて簡単

な構成のものにして狭い格子幅内に収容可能にすることが本発明の他の目的である。

又、上記の如く改良されたブランキングアパーチャアレイを用いた荷電粒子ビーム露光装置及び荷電粒子ビーム露光方法を提供することが本発明の更に他の目的である。

〔課題を解決するための手段〕

第1図に示すように本発明では、荷電粒子ビームの断面形状を所望パターンに成形するのに、2次元配列のブランキングアパーチャアレイ1を用いる。2はそのアパーチャであり、縦、横に、マトリクス状に2次元配列される。各アパーチャ2は一对のブランキング電極3a、3bを備え、これらに加える電圧をオン/オフすることで、アパーチャ2を通るビームを偏向/非偏向し、被露光試料にビームが照射しまたは照射しないようにする。

各ブランキング電極に加える電圧は、ビーム断面形状の所望パターンに従って定める。4はその

- 23 -

所望パターンを発生するパターン発生部、5は所望パターンに従うオン/オフ電圧を各ブランキング電極へ供給する駆動機構であり、駆動機構5は、シフトレジスタとシフトレジスタによって制御される電極ドライバから構成されている。6はこれらの間にあって駆動機構5の各々へ、パターン発生部4からのパターンデータを転送する回路である。

〔作用〕

第1図のビーム成形部7は、所望露光パターンをドット群で表わした可変ステンスルとして機能する。パターン発生部4では、2次元配列のアパーチャ2の集団が占める矩形領域における所望露光パターンを、各アパーチャ2に相当するドットに分解し、そのドットパターンデータを発生する。転送回路部6はそのドットパターンデータの各行の分を各駆動機構5へ送り、各行の各列のデータが各アパーチャ2へ供給されるようにする。これで各アパーチャ2へ該当データが送られ、オ

- 24 -

ン/オフされて、オンアパーチャのパターンは所望露光パターンに一致する。

駆動機構5は具体的にはシフトレジスタと、その各ビットのデータを受けてアパーチャ2のブランキング電極を駆動するドライバである。転送回路部6は、具体的にはCPUであるパターン発生部4から8ビットまたは16ビット並列などで送られてくるドットパターンデータを、2次元アパーチャアレイ1の各行の駆動機構5へ分配するバッファ手段である。

このビーム成形部7は事実上可変ステンスルとして機能するものであるから、これを用いた露光は露光速度が向上する。また形状が供給するデータに従って変化し、固定ステンスルのように多数枚用意しておいて切換えて使用する。ステンスルマスクそのものを交換する、等の作業が不要になり、スループットが向上する。さらに、駆動機構5は、シフトレジスタから構成されており、従来のように各々のアパーチャ2に対し別々にON/OFF用の配線を設ける必要がないので、ブラン

- 25 -

- 26 -

キングアパーチャ1の製作が容易になる。

〔実施例〕

まず、本発明になるブランキングアパーチャアレイの第1実施例及びこれを用いる本発明になる荷電粒子ビーム露光方法の実施例を説明する。

第2図(a)に示すように、本実施例ではアパーチャを m 行 n 列に二次元配列したブランキングアパーチャアレイ19Aを用いる。19cがアパーチャ、19a、19bはアパーチャ19c間の一対のブランキング電極である。

これらのアパーチャの各行に沿って m ビットシフトレジスタ19dを設け、またこれら n 個のシフトレジスタ19dへパターンデータを入力するバッファ19eを設ける。

バッファ19eへは、露光すべき図形のパターンデータを入力するが、これは図形を、行、列で区切ってドット化し、その列方向 n ビットずつとする。例えば露光すべき図形もアパーチャアレイに合わせて分割し、かつその一アパーチャ分を m

行 n 列に区切ったとすると、バッファ19eへは1列目の n ビット、2列目の n ビット、… m 列目の n ビットの順で入力する。バッファ19eは n ビットパラレル出力可能なFIFO型とすると、1列目 n ビット、2列目 n ビット、…の順で n 個のシフトレジスタ19dへ同時に出力し、これらはクロックによりシフトされて行く。

入力データには、図形パターンデータの他に、修正データを含めることができる。ビーム強度分布の不均一性の修正データは露光時間の延長という形で該修正を行なう。露光時間の短縮という形の修正は、図形パターンデータによる露光量を予め少ないものにしておくことで可能である。近接効果の補正は、図形パターンデータを修正する(細目、太目にする)方法の他、露光量修正による方法も可能である。

第2図(a)のアパーチャアレイ19Aは、その全体より大きい断面のビームを投射し、各ブランキング電極19a、19bで偏向する／しないでビームパターン化を行なう。このパターン化は、

- 27 -

ビームの発生そのものを制御して行なうことも可能である。第2図(b)(c)がその例で、これらは第2図(a)の1つのアパーチャ19cに相当し、従ってアレイ19Aでは m 行 n 列に二次元配列される。

第2図(b)で91は透明電極で、P型シリコン基板95の電極になる。92はn型層96の電極で、これらにパターンデータに従って直流電圧DC、Vを加える。93はこれらのP層とn層の界面に形成されるpn接合、97は仕事関数を低下させる薄膜、98は絶縁層、94は加速電極である。電圧が加わっている状態でレーザー光を入射すると、アバランシェによりホットエレクトロンが発生し、これが電子ビームEBとして出て行く。

また第2図(c)で99は陰体伏カソード、104はアノード電極、100は透光性の基板、101は透光性の導体、102は光導電層、103は絶縁層である。透光性導体101に電圧を加え、光を入射すると、カソード99から電子が放出され、電子ビームEBとして出て行く。いずれも、電極への

- 28 -

- 28 -

印加電圧の制御、発光ダイオード等による発光制御で電子ビームEBの制御、パターン化された二次元電子ビームの発生が可能である。

第2図(a)のアパーチャアレイ19Aを用いた露光方法を、第3図を参照しながら説明する。

第3図(a)で、24aはウエハ24に形成される多数のチップ、41はチップ上の露光すべき図形パターンを示す。この図形パターン41を m 行 n 列に区分し、図形のある所(図素またはドット)を"1"、ない所を"0"で表わすと、パターンデータは第3図(f)のD、の如くなる。バッファ19eへはこのパターンデータの1列分、2列分、…を逐次送り、バッファ19eはこの1列分、2列分、…を n 個のシフトレジスタ19dへ逐次入力し、シフトレジスタ19dではこれらをシフトクロックに従ってシフトする。従って最初の1列分については、シフトレジスタ19dのデータは第3図(b)の如くなり、データ"1"のアパーチャ19cを通った電子ビームのみウエハ24の所望位置へ投射される。2列目のバ

- 29 -

ターンデータも入力した段階では第3図(c)の如くなり、3列目、4列目も入力した状態では同図(d)(e)の如くなる。

このようにアパーチャアレイ19A上では、パターンデータがたとえて言えば電光ニュースの如く移動して行く。従ってこのままではウエハ24上のビーム入射位置も移動して行く。しかし本発明ではこれは移動させず、所望露光時間になるまでウエハ24上所望位置に静止させる。これはビームの偏向制御で行ない、この偏向制御では、ウエハ24も移動しているとすればその分の補正も行なう。ステージ(ウエハ)移動方向とビーム偏向方向が同じなら、偏向による修正量は少なくて済み、場合によってはステージ移動だけで済ますこともできる。

1列目は最初に現われ、m列目は最後に現われるから、このままでは露光時間が各列で異なるが、この点は1列目は最初に消え、m列目は最後に消えるようにすれば、均一化される。

露光時間は、アパーチャアレイにデータ"1"

- 3 1 -

画像パターンデータを細目、太目にする、または同様な露光量制御を行なう。

このように、2次元パターン化されたビームを移動しながら、かつ露光対象上では静止させて露光する方式であると、多量のパターンデータを効率よくブランキングアパーチャアレイ19Aまたはビーム発生素子BG1、BG2を含む荷電粒子ビーム発生手段へ供給でき、微細パターンの高速露光が可能になる。

なお、異なる図形のパターンデータを順次バッファ19eへ供給しても良い。1つの図形パターンデータのみをバッファ19eへ供給する場合、パターン上の各位置における露光時間が同じになる様にデータ"0"のダミーパターンデータをバッファ19eへ供給する必要がある。しかし、異なる図形のパターンデータを順次バッファ19eへ供給する場合はダミーパターンデータをバッファ19eへ供給する必要はない。

又、露光は、1つの図形のパターンデータに対するシフトレジスタ19dのシフト動作終了後に

が現われている時間であり、(現われている間のアパーチャアレイの数)×(クロック周期)である。この事実は修正に利用できる。即ち当該部分のビーム強度が低いので露光時間を延ばしたい所では、延長時間に応じてアパーチャ19cの有効個数を増加すればよい。露光時間の減少が必要な場合は、全体を少な目にしておき、通常の露光時間が必要な部分には有効アパーチャ数を増加する(この場合は通常にする)。このアパーチャ19cの有効/無効制御を行なうには、シフトレジスタ19dの後段部分で制御されるアパーチャ19cについては、そのブランキング電極とシフトレジスタ19dとの間にゲート回路(図示せず)を挿入し、露光量修正データ、即ち、正規の画像パターン用アパーチャアレイの他に、補正用アパーチャアレイ部を持たせればよい。固定的な有効/無効制御でよいなら電極とシフトレジスタ19dとの間を結線する/しないでよく、この制御のための付加回路を必要としない。

パターンの近接効果に対する補正をするには、

- 3 2 -

行なう構成をとっても良い。

第4図及び第5図に、本発明になる荷電粒子ビーム露光装置の実施例を示す。全図を通してそうであるが、他の同じ部分には同じ符号が付してある。第4図はシステムブロック図であり、描画データは磁気ディスク26または磁気テープ27からプロセッサ25によって読み出し、処理をされ、データ処理コントローラ40へ送られる。データ処理コントローラ40は、描画データの分析及び圧縮データの復元などを行なわせるデータ分割・拡張回路41へデータを送り、ここを通ったデータは、ビットマップ発生回路30へ送られる。ビットマップ発生回路30では、送られたデータが、図形形状や大きさを規定するパラメータならそれから図形を発生し、さらにブランキングアパーチャサイズにメッシュ分割を行ない、ビット状のデータとした後、ビットマップデータバス43を通り、ビットマップメモリ42に記憶させる。ビットマップ発生回路30では、横走査デフレクタ17及び8極デフレクタ20に対して与え

- 3 3 -

- 3 4 -

る位置データも発生し、同様にビットマップメモリ42へ記憶させる。

ビットマップメモリ42は、第6図の様に大きく3つに分割されている。転写位置データは、図形形状ビットデータのウエハ上の開始点や図形形状コードの指定情報を記述している。補正用データは、クロスオーバー像の不均一補正と近接効果補正の両方からなるデータである。本方式による図形描画の場合、ビットライン列の本数が、露光ドーズ量を決定することになるため、補正用ビットデータのメモリ部には、第7図の様に、重ね合せによってドーズ量の調整が成される様に、データの記憶をして置く。この第7図で補正データC₁とC₂はクロスオーバー像の不均一補正用と近接効果補正用である。

ビットマップメモリ42に記憶されたデータに基づき、ブランキング行列制御回路45によって、ブランキングアパーチャアレイ19Aと偏向制御回路35のコントロールを行なう。第5図に示すようにアパーチャアレイ19Aは、PIFOバッファ

53とシフトレジスタ56（これらは第2図の19e、19dに相当する）、及びアパーチャ電極19aをドライブするドライバ（例えばダーリントン接続のトランジスタ）58を備える。この第5図ではアパーチャアレイ19Aは図形パターン用19f、補正データC₁、用61g、補正データC₂、用19hの3部分からなり、各々にシフトレジスタ56及びPIFOバッファ53が設けられる。バッファ53はクロックCLK₁で動作し、シフトレジスタ56はクロックCLK₂で動作する。第8図に、図形パターン部19fのバッファ53へ取込まれて行くデータN₁、N₂、…及びアパーチャ電極E₁、E₂、…へ加えられるデータの推移を示す。

補正用ビットデータは、各ブロック毎にブランキングアパーチャアレイ19Aの補正部19g、19hに送られる。この補正部は、図形データ部のデータ移動が終了するのをクロックカウンタ回路57で計測し、順番が来たら、補正部PIFO53のデータを読み出し、ブランキングのオン、オフ

- 35 -

を行なう。これにより、第7図に示した補正が行なわれる。

第4図の偏向制御回路35は、ビットマップ行列制御回路45からの信号に同期して、ビットマップメモリ42より、転写位置データを読み出す。これにより、ラインビームLBの横走査デフレクタ17を駆動する。また、この場合、ステージ22は、ステージ制御コントローラ48により、フィードバック制御され、連続速度移動されている。従ってこのステージ22の連続速度移動に伴うラインビームLBの位置もフィードバック補正する必要があるため、偏向制御回路35は、レーザ干渉測長器38から、ステージ22の位置を読み取り、先の転写位置データとの差分を求め、差分がある範囲を維持するように8極デフレクタ20を駆動する。

第9図に偏向制御回路35の詳細を示す。制御部35aはブランキング行列制御回路45からクロックを受け、ビットマップメモリ42の読出しを行なう。S₁、S₂はその読出し指示、アドレ

スなどの制御信号、Dは読出したデータである。メモリ42の転写位置データ記憶部から読出したデータDは補正回路35b、レジスタ35cを経て横走査デフレクタ17のドライバ(DCAとAMP)に供給される。レーザ測長器38からのステージ位置データはレジスタ35dにセットされ、その位置データX₁は上記データDが示す位置X₂との差が、CPUによりレジスタ36gにセットされた判定値nより小さいか否か、即ち $|X_1 - X_2| \leq n$ か否か、差分判定回路36eにより判定され、NOなら所定値がレジスタ36fにセットされ、これがドライバ37を経て8極デフレクタ20へ与えられてラインビームLBの偏向を制御する。

以上により、たとえば0.05μm角のビームを列方向50本、行方向1000本並べて、200 A/cm²の電流密度、5 μC/cm²の感度のレジストを用い、行列で構成されるエリアの露光時間25 nsであると、2 mm幅のスキャンエリアを50 mm/sで連続移動し、1 cm²当たり20 nsecの露光スピードが得ら

- 37 -

- 38 -

れ、従来型に比べ50分の1の速度向上となる。

第2図(b)(c)のビーム発生素子を用いる場合もその駆動回路などは同様である。

ここで従来の一次元アパーチャアレイと二次元アパーチャアレイ18Aとの比較を行なう。アパーチャは $0.01\mu\text{m}$ 角のビームをオン/オフするものとする。 $1\mu\text{m}$ の領域は上記ビームの 10^4 個で表わされ、これを1秒で露光するとする。レジスト感度は $10\mu\text{C}/\mu\text{m}^2$ とすると、 $100\text{A}/\mu\text{m}^2$ の電流密度で 100MHz で露光できるからビーム数(アパーチャ数)は 10^4 、ライン長は 1mm となる。縮小率を $1/100$ とすると、 $100\mu\text{m} \times 1\mu\text{m}$ のアパーチャアレイを用意する必要がある。これをビームで均一照射することも、ビームの縮小光学系を組むことも、信号を 10^4 個迅速に用意することも至難の技である。

もしアパーチャアレイのアパーチャを 10^4 しか用意できなければ $1\mu\text{m}$ を露光するのに100秒かかることになり、所要時間が過大になる。

他方、上記二次元アパーチャアレイ18Aを

100列、1000行とし、各列の信号(ビット)を1nsのクロック周期でシフトするものとする。 $10\mu\text{C}/\mu\text{m}^2$ のレジスト感度、 $100\text{A}/\mu\text{m}^2$ の電流密度では100nsの露光時間でよいから、各信号は100列通る間にレジストには十分な露光量を与えられることになる。縮小率は $1/200$ として、アパーチャアレイは $200\mu\text{m} \times 2\text{mm}$ となり、この面を均一照射して縮小すればよく、これなら作成容易である。また信号は1000個の独立なものを 1GHz のクロックレートで転送すればよく、実現可能性は高い。

二次元アパーチャアレイの全アパーチャへ同時にパターン信号を転送することは配線及びドライバ回路の点で難があり、また1アパーチャ毎に信号を送る方式では時間がかかり過ぎる。本実施例の如くシフトレジスタを用いる方式では、これらの問題を回避することができる。

上記実施例によれば、ビーム断面上の強度分布の不均一補正及び近接効果補正の機能を有し、回路構成をラインビームのビット数により複雑化す

- 39 -

ることがないので、二次元パターン化ビームによる露光が可能になる。例えば $0.2\mu\text{m}$ ルール程度のLSIにおける積面を従来の列ビット数倍上げることができ、安定、高速、高精度な露光装置が実現できる。

第1図において、ビーム成形部7は、アパーチャ2のアレイとその駆動機構5からなる成形単位を複数単位備え、切換えて使用するようにしてもよい。第10図にその様な構成の本発明になるブランキングアパーチャアレイの第2実施例を示す。64がその成形単位で、1枚のマスク75上に複数単位配設され、各々にコントロール回路65が付属する。パターンデータ転送回路部70はここでは、各成形単位(2次元のブランキングアパーチャアレイBAA)64に対するパターンメモリ71とPIFOバッファ72からなる。またパターン発生器4はプロセッサ(CPU)であり、バス8を介してパターンデータをメモリ71へ送る。

第10図では1枚のマスク75上に複数個のB

- 40 -

AA64を形成しておくので、1つのBAA64を使用中に、他のBAA64に次の露光パターンデータを供給し、1つのBAA64による露光が終了したら直ちに他のBAA64による露光に移ることができ、スループットを一層向上させることが可能である。

パターンメモリ71は各BAA64毎の領域に区分してあり、CPU4は各BAA64に対するドットパターンデータをメモリ71の該当領域に番込む。転送回路部70ではこれを読み出し、PIFOバッファ72、コントロール回路65を経てBAA64の各駆動機構へ該当データを供給する。この第10図はステンシルマスクの各ステンシルを2次元BAA64で構成したものに相当する。

1枚のマスク(基板)75上には1個または複数個のBAA64の他に、ステンシルなどを設けてもよく、この様な構成の本発明になるブランキングアパーチャアレイの第3実施例を第11図に示す。66Aは可変矩形用の開口部、66Bはステンシルである。ステンシル66Bは、1Cでよ

- 41 -

- 42 -

く出てくるパターンを切り取ったものであるから一般には多数あるが、本実施例ではその2個のみを示す。

第11図では1枚のマスク75にステンシル66Bと2次元BAA64を共存させる。極めてよく現われる従って使用頻度の高いパターンはステンシル66Bの方が、構造は簡単であり、合理的である。一般にステンシルマスクには可変矩形ビーム成形用開口部も設けるが、本例でもそのようにすると(86Aは可変矩形ビーム成形用開口部、86Bはステンシル)、可変矩形ビーム露光で比較的大きい線幅のパターンを露光し、その露光中にBAA64へデータ転送して、次はBAA64によるビーム成形、露光を行なうことができる。ステンシル66Bではパターンデータの転送は不要であるから、このマスク75ではCPU等の負担が軽減する効果もある。

マスク75それ自体も、1枚ではなく、複数枚としてもよい。第12図にこの様な構成の本発明になるブランキングアパーチャアレイの第4実施

例を示す。本実施例では2枚のマスク75A、75Bを使用している。第12図中、第23図と同一部分には同一符号を付し、その説明は省略する。これらのマスク75A、75Bを重ねて使用し、上部の成形部を使用するとき下部は単なる開口として、下部の成形部を使用するとき上部は単なる開口とする。本実施例では73、76は使用中の成形部、74、77は単純矩形開口部で、通過ビームに対する成形は行なわない。

ステンシルマスクとBAAマスクでは構造が著しく異なる。第12図のようにマスクは2枚とし、一方はステンシルマスク、他方はBAAマスクとすると、製造工程の点で有利である。またBAAマスクではシフトレジスタやドライバ等の多数の電子回路が付属する。第12図の形式にして一部は単なる開口とすると、配線や素子形成領域にゆとりが得る利点もある。

ステンシルマスクは、一般にステンシルと、可変矩形用開口部が形成されるから、第12図ではこれに単純矩形開口部を設ければよい。また第

- 43 -

12図の構成ではBAAマスクには、2次元アパーチャアレイとブランキング矩形開口部と単純矩形開口部を設けると同マスクの有効利用が可能になる。

次に、本発明になるブランキングアパーチャアレイの第5実施例を第13図と共に説明する。同図中、第11図と同一部分には同一符号を付す。アパーチャ2のブランキング電極の一方3bはグランドに接続され、他方がドライバ5aに接続されて、ビームを偏向する／しないの制御電圧を受ける。81は出力コントロール信号線、82はシフトクロック線、83はシリアルデータ線である。2次元アパーチャアレイの1行分のドットパターンデータがシリアルデータ線83を通して、シフトレジスタ5へ入力され、シフトクロックによりその末端へ向けてシフトされる。

第14図にこのシフト状況を示す。FIFO出力データ72Dは1行分のドットパターンデータ従って1行分のクロックCLK数毎に次のパターンデータに変わる。各行のデータA、B、…、N

- 44 -

は並列に出力され、先頭のBoから最終のBuまでがシフトレジスタ5に入った所で出力コントロール信号61Aが入り、シフトレジスタ5の各ビットがドライバ5aに取込まれ、ブランキング電極3aを駆動する。

CPU4は複数の2次元BAAに対して1つ設ければよい。パターンメモリ71からFIFOバッファ72へのデータ読出しはDMAにより行なうことができる。FIFOバッファ72ではコントロール回路85からの要求信号によりデータを出力する。FIFOバッファ72は2次元BAAの行数だけ設けると、各バッファの出力データを各行のシフトレジスタ5へ与えるだけでよい。各行に共通に1個設ける場合は、読出しデータを各行へ振り分けることになり、出力速度は各行のシフト速度より行数倍だけ高くなる。

第15図にブランキングアパーチャアレイの具体例を示す。同図(a)に示すように、アパーチャ2はシリコン基板88に、エッチングにより形成される。ブランキング電極3a、3bは同図

- 45 -

- 46 -

(b) に示すように、アパーチャ 2 の周壁の対向する 2 辺に形成される。シフトレジスタとドライバ等の電子回路 5 A とその配線 5 B は同図

(c) に示すように、シリコン基板 8 9 の下面(電子ビーム出射側の面)に形成される。同図(d)は平面図で同図(b)はこの X-X 断面、同図(c)は Y-Y 断面を示す。90a, 90b は重金属層で、電子ビームがシリコン基板 8 9 に入射してその電位変動、電子回路 5 A への悪影響を与えるのを防止する。ドライバへ接続される電極 8 a などは図示しないが S i O₂ 層などにより絶縁する。

シフトレジスタは周知の回路構成のものでよい。行内の各アパーチャのブランキング電極へパターンデータに従う信号を与えるのにシフトレジスタを用いると、配線数を大幅に低減できる。例えば行内アパーチャ数が 256 であると、単純には 256 本の駆動線が必要になるが、シフトレジスタならレジスタ 1 つでよい。

第 16 図に本発明になるブランキングアパー

チャアレイの第 6 実施例を示す。本実施例ではシフトレジスタ 5 は 4 ビット型のシフトレジスタ 5 B を多数縦続接続して構成する。このシフトレジスタ 5 B は T T L や E C L のシフトレジスタ(195 型)として市販されている。これをアパーチャアレイの内部または外部に付加することでシフトレジスタ 5 とする。D₁ ~ D₄ は 4 ビットシフトレジスタ 5 B の出力端であり、D₁ は入力データ、C L K はクロック入力、C L R はクリア入力である。第 16 図(b)に示すようにシフトレジスタ 5 B は行方向でアパーチャ 2 の 4 個毎に、アパーチャ 2 間の基板に形成され、ドライバ 5 a は列方向で各アパーチャ 2 間の基板に形成され、シフトレジスタ出力 D₁ ~ D₄ の 1 つを受ける。

数値例を挙げるとアパーチャ 2 のサイズは 1 辺が 5 ~ 10 μm の方形、ピッチは 10 ~ 20 μm、個数は縦／横方向にそれぞれ 30 ~ 50 個、計 900 ~ 2500 個である。アパーチャ 2 は 1 辺が 8 μm の方形、ピッチは 10 μm とすると、アパーチャ 2 間には 2 μm 幅の帯状領域が行、列方

向にできる。この帯状領域に第 16 図(b)のようにシフトレジスタ 5 B、ドライバ 5 a を形成することは可能である。

シフトレジスタ 5 B には電源線、クロック線、信号線などが必要であるが、第 16 図(b)では説明の便宜上これらは図示していない。2 μm 幅の帯状領域にこれらの線は 0.2 μm 幅ラインなら 5 本、0.25 μm 幅ラインなら 4 本置ける。多層配線をすればこれらの整数倍の線を収容可能である。

上記実施例の如く、シフトレジスタを用いるブランキングアパーチャアレイでは、行ないし列に対してシフトレジスタが 1 つとなり、アドレスコード信号線が不要となる為、製作・制御上の利点が大きくなる。また可変ステンスルをマスク上に複数個設け、また固定ステンスルと組合せれば、1 つの可変／固定ステンスルで露光中に他の可変ステンスルにパターンデータを供給して準備することができ、スループットの向上に寄与することができる。例えば 0.5 μm のアパーチャを 200 × 200 個配置したアレイで、シフトレジスタとブラ

ンキング電極駆動で 1 組 1 ns の処理時間が必要、従って全体では 200 ns の処理時間が必要になっても、他のステンスルでの露光中にこれを行えば処理時間は事実上零にすることができる。また固定ステンスルのようにマスク交替の必要がなくなるから露光所要時間の低減に寄与する所は大きく、またパターンの汎用度が向上し、設計の自由度が増加する。

次に本発明になるブランキングアパーチャアレイの第 7 実施例を第 17 図及び第 18 図と共に説明する。第 17 図は本実施例で用いるシフトレジスタの回路図を示し、第 18 図はブランキングアパーチャアレイにおけるシフトレジスタの配置を示す。

第 17 図では、インバータ 2 個をゲートを通して接続したものを単位とし、この複数単位を第 2 のゲートを介して直列に接続したものでシフトレジスタを構成する。トランジスタ Q₁ と Q₂ が第 1 のインバータを構成し、トランジスタ Q₃ と Q₄ が第 2 のインバータを構成し、トランジスタ

Q_1 / Q_2 が第 1、第 2 のゲートを構成し、第 1、第 2 のクロック CLK_1, CLK_2 でオン/オフする。この第 17 図の回路がシフトレジスタの 1 単位であり、 200×200 個のアパーチャを持つ 2 次元ブランキングアパーチャアレイでは、この 200 単位が直列に接続されて 1 個のシフトレジスタを構成し、かかるシフトレジスタが行数だけ本実施例では 200 個設けられる。

第 18 図において、 SR_1, SR_2, \dots は上記シフトレジスタで、斜線部 U は上記単位である。AP はアパーチャアレイ BAA の開口で、本実施例では 200×200 個ある。この開口群の各行方向の配列の間の格子幅領域にシフトレジスタ SR_1, SR_2, \dots が形成され、開口群の各列方向の配列の間の格子幅領域にクロック CLK_1, CLK_2 の配線が通される。

各開口 AP にはそれぞれ一対の電極 E_1, E_2 が設けられ、その一方の E_1 はグラウンドまたは電源高電位 V_{DD} に接続され、他方 E_2 がシフトレジスタの各単位の出力電圧 B_{out} を加えられる。

- 51 -

ゲート容量により以前の状態を保つ。

次に、本発明になるブランキングアパーチャアレイの製造方法の実施例を第 19 図及び第 20 図と共に説明する。

第 19 図 (a) に示すように半導体基板 110 に不純物打ち込みなどで不純物拡散層 112 を作り、この上に同図 (b) に示すようにエピタキシャル成長層 114 を成長させる。次に同図 (c) に示すようにエピタキシャル成長層 114 に素子 130 つまりインバータやゲートを構成する MOS トランジスタなどを形成する。インバータとゲートを単位とするシフトレジスタは行方向に、ゲートへ与える第 1、第 2 のクロック信号線は列方向に延びる。これらの行、列の間が開口 AP になるが、この開口の形成は第 20 図に示すようにして行なう。

即ち第 20 図 (a) に示すように、エピタキシャル成長層 114 の、各開口の一対の対向する側辺の位置に、細幅の溝 116 をトレンチエッチングにより基板 110 に達するまで蝕刻する。次は同図 (b) に示すように全面に絶縁膜 118 を形成し、

第 17 図の回路がシフトレジスタとして動作することを説明すると、今入力 V_{in} が H (ハイ) とすると、インバータ Q_1, Q_2 の出力は L である。入力 V_{in} はクロック CLK_1 が H のとき前段より与えられ、このときクロック CLK_1 は L で、ゲート Q_1 はオフである。従って次段へは前回入力で定まった第 2 インバータ Q_2, Q_3 の H/L 出力がゲート Q_2 を通して与えられる。

次にクロック CLK_1 が L、クロック CLK_2 が H になると、上記第 1 インバータ Q_1, Q_2 の出力 L がゲート Q_2 を介して第 2 インバータ Q_3, Q_4 へ与えられ、第 2 インバータの出力は H になる。しかしクロック CLK_2 が L なので、この出力 H は次段へは与えられず、与えられるのは次のサイクルで CLK_2 が H、 CLK_1 が L になったときである。以下同様で、クロック CLK_1 によりデータ入/出力、クロック CLK_2 により当該単位内でのデータシフトが行なわれる。トランジスタ Q_1, Q_2 がオフのときトランジスタ Q_3, Q_4 のゲート電極はフローティングになるが、

- 52 -

次に同図 (c) に示すように溝 116 へ電極材料 120 を堆積させる。次に同図 (d) に示すように、こうして作られた電極 E_1, E_2 間のエピタキシャル成長層 114 及び不純物拡散層 112 をエッチングにより除去する。

次は第 19 図 (d) に示すように半導体基板 110 の電極 E_1, E_2 間を裏面よりテーパエッチングする。これで開口 AP が完成する。

各開口の電極 E_1, E_2 の一方へはシフトレジスタの各単位の出力を、また他方へは電源の低電位側 GND または高電位側 V_{DD} と低電位側 GND を交互に接続するが、この配線工程は、シフトレジスタの各素子への配線やクロック信号線と共にまたは別に行なう。

次に、本発明になるブランキングアパーチャアレイの第 8 実施例を第 21 図及び第 22 図と共に説明する。第 21 図は本実施例で用いるシフトレジスタの回路図を示し、第 22 図はブランキングアパーチャアレイにおけるシフトレジスタの配置を示す。

- 53 -

- 54 -

第21図に示すように、本実施例ではインバータ1個とゲート1個でシフトレジスタの1単位を構成する。この場合、入力電圧 V_{in} に対し出力電圧 V_{out} は反転するので、開口の電極側で反転して元に戻る。

即ち第22図に示すように、各開口APの一方の電極E₁は一齐にグランドへ接続するのではなく、行方向で交互に電源 V_{DD} 、グランドGNDへ接続する。

また各単位のゲートQ₁は、行方向で交互に第1、第2クロックCLK₁、CLK₂を受ける。従って、第21図でも、2単位を1つと見れば、第17図と同様のシフトレジスタを構成する。

第21図のシフトレジスタもシフト動作は、第17図のシフトレジスタと同様である。

シフトレジスタは例えば200単位のもので200個設けられるが、これらへのデータ入力、例えば同様に200単位のシフトレジスタを設けてその各単位より行なうことができる。

データシフト中も各開口の電極E₁へ当該単位

の出力が与えられるが、アパーチャアレイBAAへ電子ビームを照射するのはシフト終了で各単位の出力が所望出力になったときとすれば、露光に供される電子ビームの断面形状を所望形状にすることができる。

第21図のシフトレジスタでは、各単位の出力が交互に反転、非反転になる。この事を考慮して入力データを変形してもよいが、他方の電極E₂の電位で再反転して、全て非反転とすることができる。即ち第22図のように、シフトレジスタの入側から数えて奇数番の単位に対応する開口APの電極E₂には電源 V_{DD} を加えると、入力データ“1”(H)のとき出力データ“0”(L)となって電極E₁はLレベルを受けるが、電極E₂はHレベルであるから、結局この開口には電界が作用し、ビームを偏向してウエーハには到着しないようにする(データ“1”はビームオフとする)。偶数番の単位に対応する開口の電極E₂はグランドGNDへ接続し、他方の電極E₁のH、Lに応じてビームオフ、オンとする。偶数番の単

- 55 -

位の出力は非反転であるから、これでよい。

第22図で電極E₁へ与えるHレベル、Lレベルは、原理的にはシフトレジスタの単位の出力のHレベル、Lレベルであり、これで反転/非反転が行なわれる。第17図では各開口の電極E₁を一齐にグランド(Lレベル)に接続したが、これは一齐に電源 V_{DD} (Hレベル)へ接続してもよく、但しこの場合は一齐に反転されるから入力データも反転しておく必要がある。

第7及び第8実施例によれば、2次元ブランピングアパーチャアレイの狭い格子幅(開口と開口の間の領域)内にシフトレジスタ及びクロック信号線を配設することが可能である。即ちシフトレジスタの1単位が1開口に対応するが、1単位は第17図ならトランジスタ6個、第21図ならトランジスタ3個で構成される。行方向配線は第17図、第21図共に電源線2本、信号線1本の計3本、列方向のクロック信号線は第17図なら2本、第21図なら1本である。従って例えば格子幅3 μm 、配線幅0.5 μm としてもこの格子幅

- 56 -

内に十分収まる。

なお、第18図で用いる半導体基板110はシリコン基板が適当である。不純物拡散層112の形成はエッチングに対するストップ形成が目的で、これにより、溝116を表面からこの部分まで開け、また裏面からのテーパエッチングをこの部分まで行ない、裏面側が拡開した開口APを作ることができる。溝116内へ電極材料120の堆積は、例えばCVD法により不純物ドーパの多結晶シリコン層を成長させ、それをパターニングすることにより行なうことができる。

また第17図でゲートQ₁を除いて、第1インバータQ₁、Q₂の出力を直接第2インバータQ₁、Q₂の入力(Q₁のゲート電極)へ与えるようにし、これをシフトレジスタの1単位として、隣接単位ではそのゲートQ₁のクロックを交互にCLK₁、CLK₂とすると、第21図と同様な、但し各単位の出力に反転、非反転がないシフトレジスタが得られる。ゲートQ₁を残し、Q₂を除いて直結とし、ゲートQ₁のクロックは隣接単位

- 57 -

で交互にCLK₁、CLK₂としても同様である。

上記第7及び第8実施例によれば、微細さ、位置合わせ精度、クイックターンアラウンド、信頼性のどれをとっても、他のリソグラフィ技術の追従を許さないブランキングアパーチャアレイによる電子ビーム露光が容易に実現出来る。また、格子幅内に作り込む素子及び配線数は少なくてよいので、微細格子幅の2次元ブランキングアパーチャアレイを容易に実現することができる。

(発明の効果)

本発明によれば、微細さ、位置合わせ精度、クイックターンアラウンド、制御及び信頼性の全てにおいて従来のリソグラフィ技術よりすぐれた荷電粒子ビーム露光が可能となり、実用的には極めて有用である。

4. 図面の簡単な説明

第1図は本発明の原理図、

第2図はブランキングアパーチャアレイの第1

- 59 -

第14図は第5実施例の動作説明用タイミングチャート、

第15図はアパーチャアレイの具体例の説明図、

第16図はブランキングアパーチャアレイの第6実施例を説明する図、

第17図はブランキングアパーチャアレイの第7実施例の要部を示す回路図、

第18図は第17図の配列状態を示す平面図、

第19図及び第20図はブランキングアパーチャアレイの製造方法の実施例を説明する工程図、

第21図はブランキングアパーチャアレイの第8実施例の要部を示す回路図、

第22図は第21図の回路の配列状態を示す平面図、

第23図はステンシルマスク型露光装置の説明図、

第24図は電子ビーム露光装置の構造説明図である。

- 61 -

実施例を説明する図、

第3図は荷電粒子ビーム露光方法の実施例を説明する図、

第4図は荷電粒子ビーム露光装置の実施例を示すブロック図、

第5図はアパーチャアレイの駆動部のブロック図、

第6図はビットマップメモリの構成の説明図、

第7図は露光補正を説明する図、

第8図はブランキング電極の駆動を説明するタイミングチャート、

第9図は偏向制御回路の詳細なブロック図、

第10図はブランキングアパーチャアレイの第2実施例を説明する図、

第11図はブランキングアパーチャアレイの第3実施例を説明する図、

第12図はブランキングアパーチャアレイの第4実施例を説明する図、

第13図はブランキングアパーチャアレイの第5実施例を説明する図、

- 60 -

第1図～第22図において、

1、19Aはブランキングアパーチャアレイ、

2、19c、APはアパーチャ、

3a、3b、19a、19b、E₁、E₂はブランキング電極、

4はパターン発生部、

5は駆動機構、

6は回路部、

7はビーム成形部、

19dはバッファ、

19eはシフトレジスタ、

24はウエハ、

66Aは開口部、

66Bはステンシル、

75は基板、

110はマスク、

112は不純物拡散層、

114はエピタキシャル成長層、

116は膜、

118は絶縁膜、

- 62 -

120 は金属
を示す。

特許出願人 富士通株式会社

代理人 弁護士 伊東 忠彦



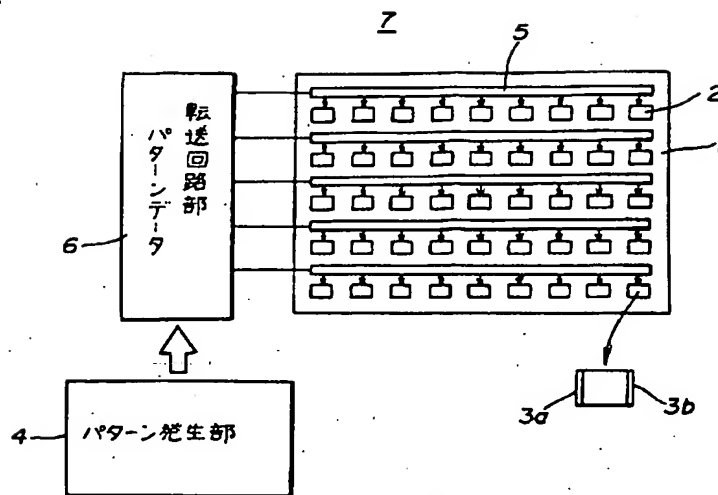
同 弁護士 松浦 兼行



同 弁護士 片山 修平

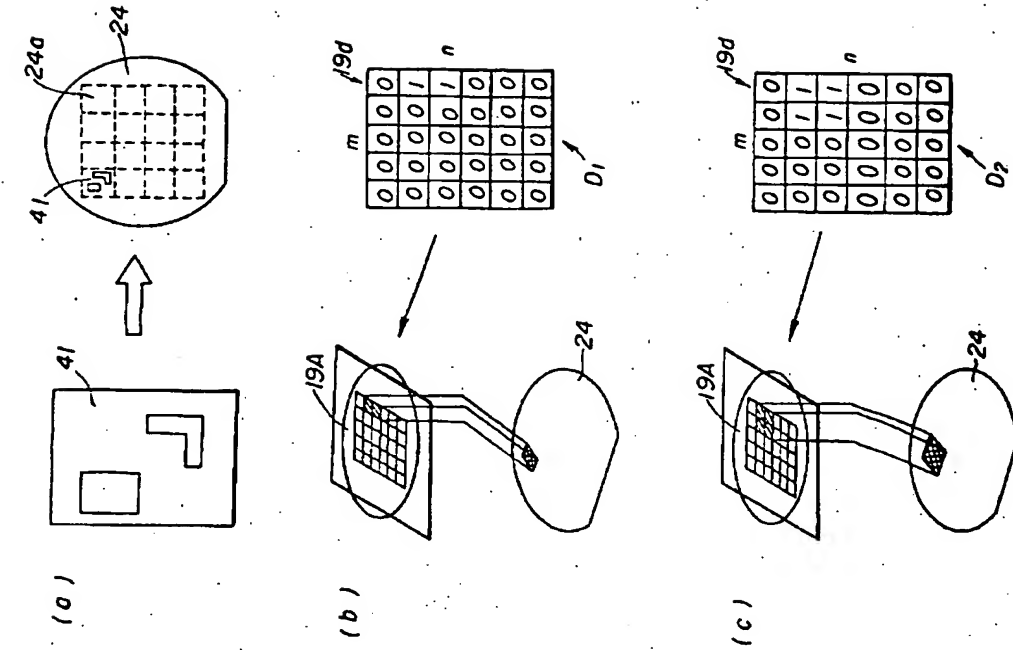


- 63 -



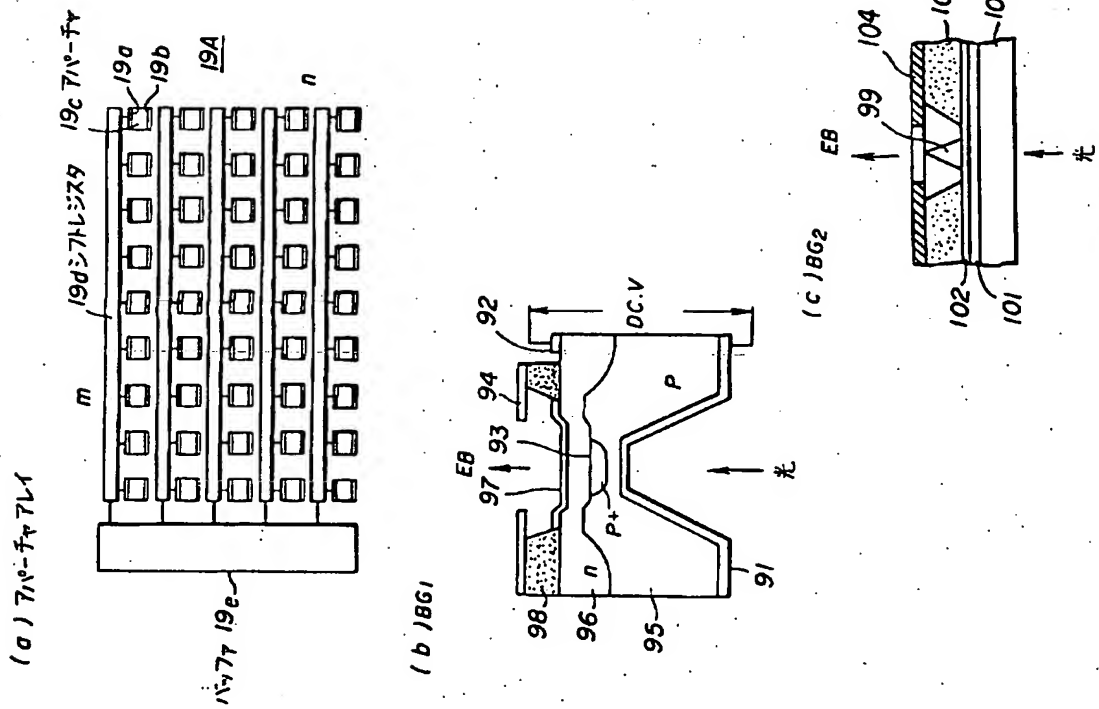
本発明の原理図

第 / 図



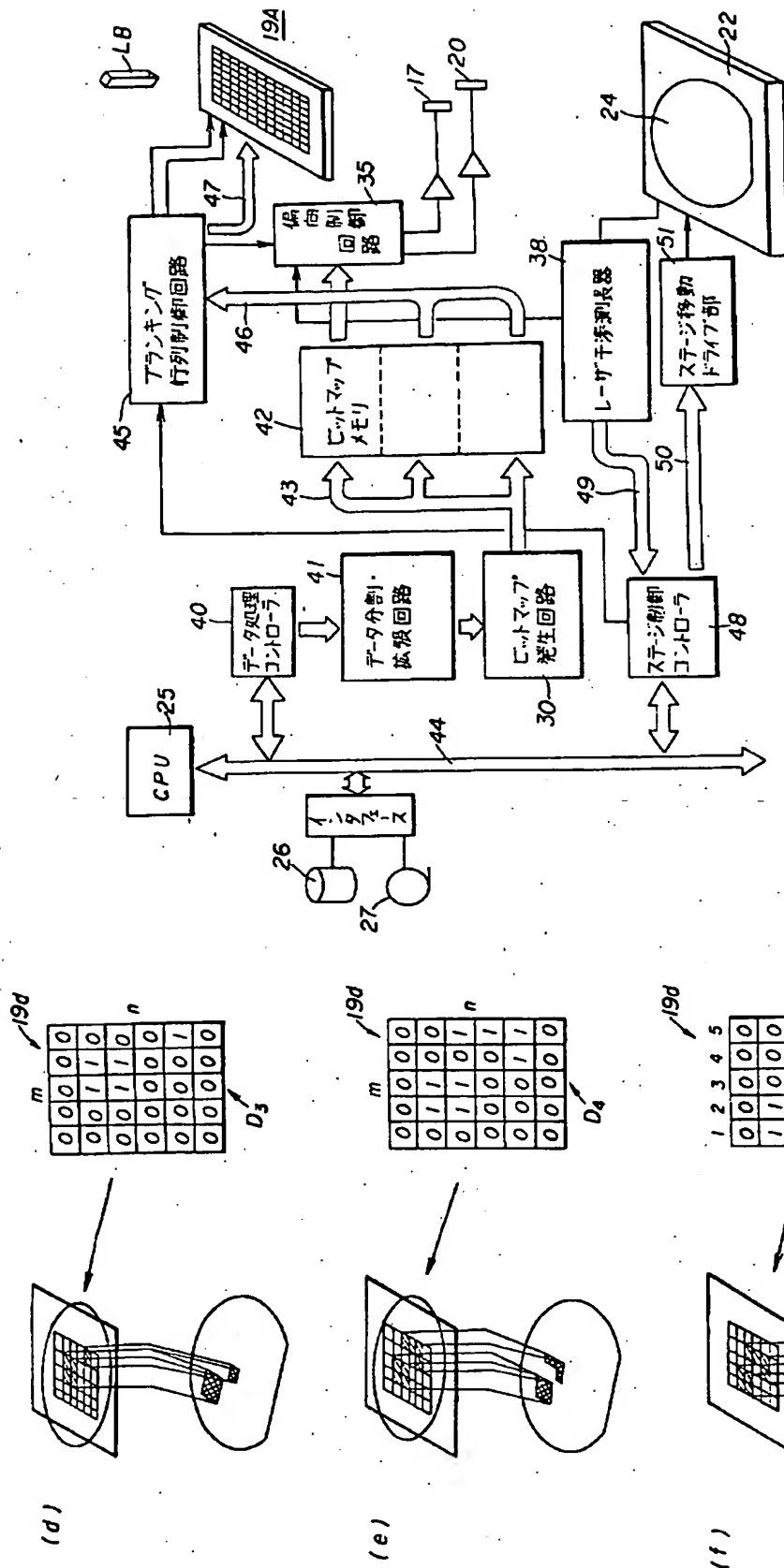
荷電粒子ビーム露光方法の実施例を説明する図

第3図 (つづ)



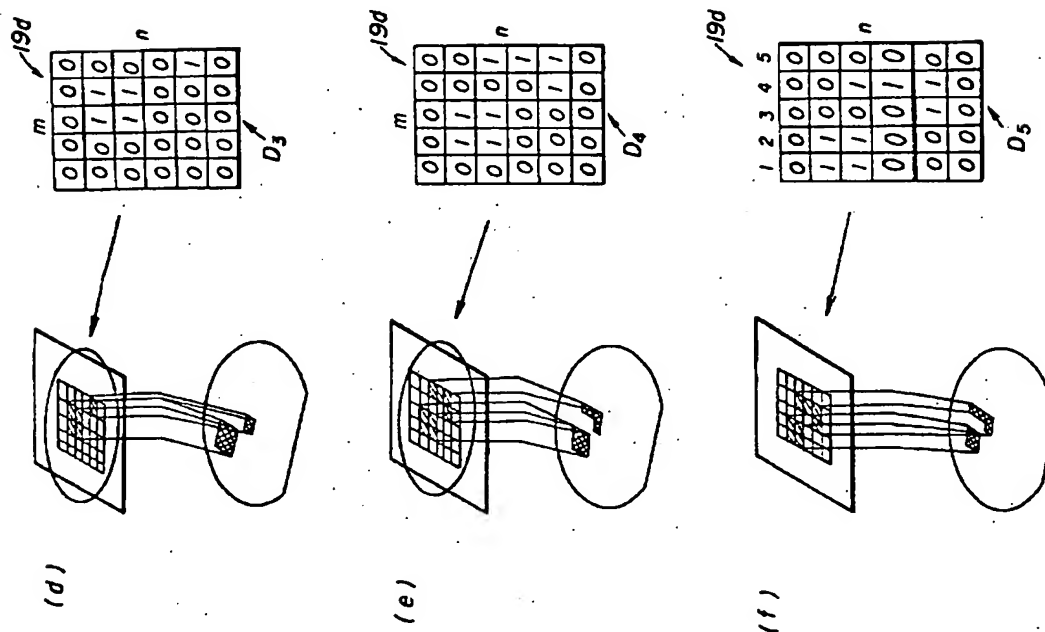
710-チャアレの第1実施例を説明する図

第2図

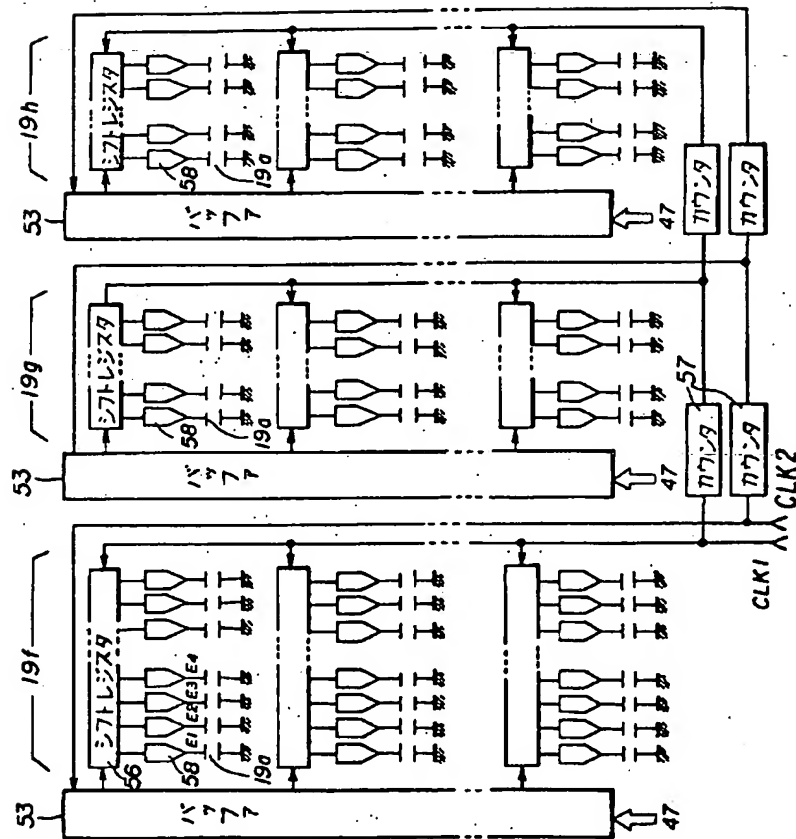


荷電粒子ビーム露光装置の実施例を示すブロック図

4樓

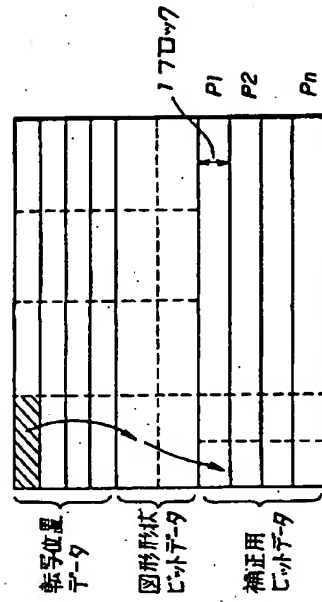


第三卷 (402)



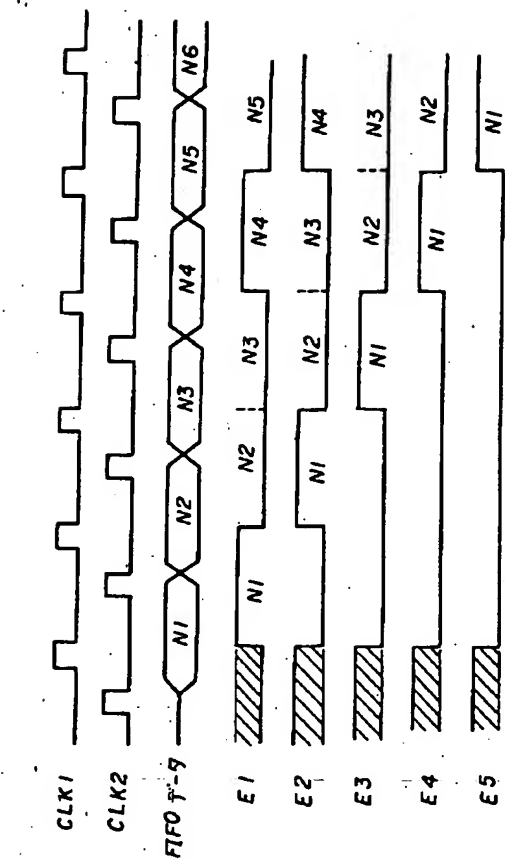
第5図 並列処理部の開始部のブロック図

第5図



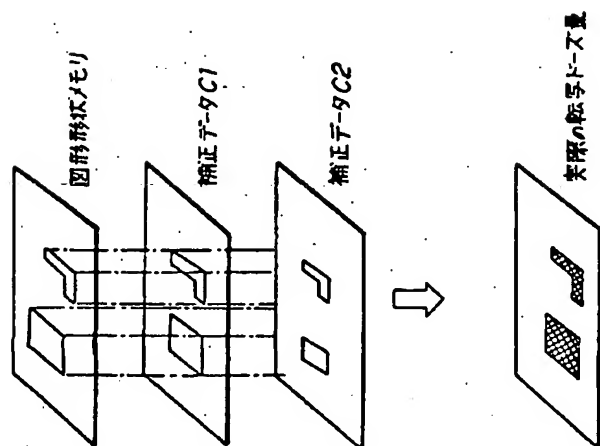
ビットメモリアメモリの構成の説明図

第6図



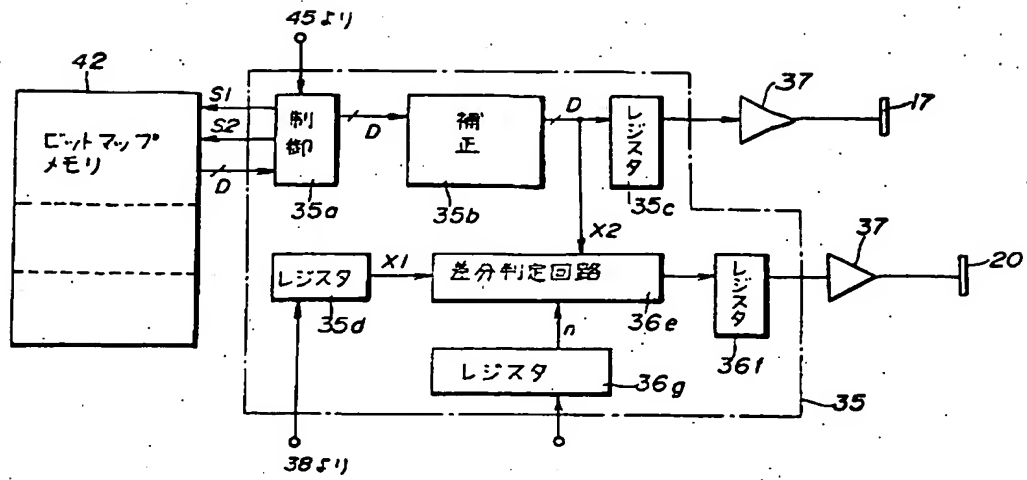
タイミング電極の駆動を説明するタイミングチャート

第 8 図



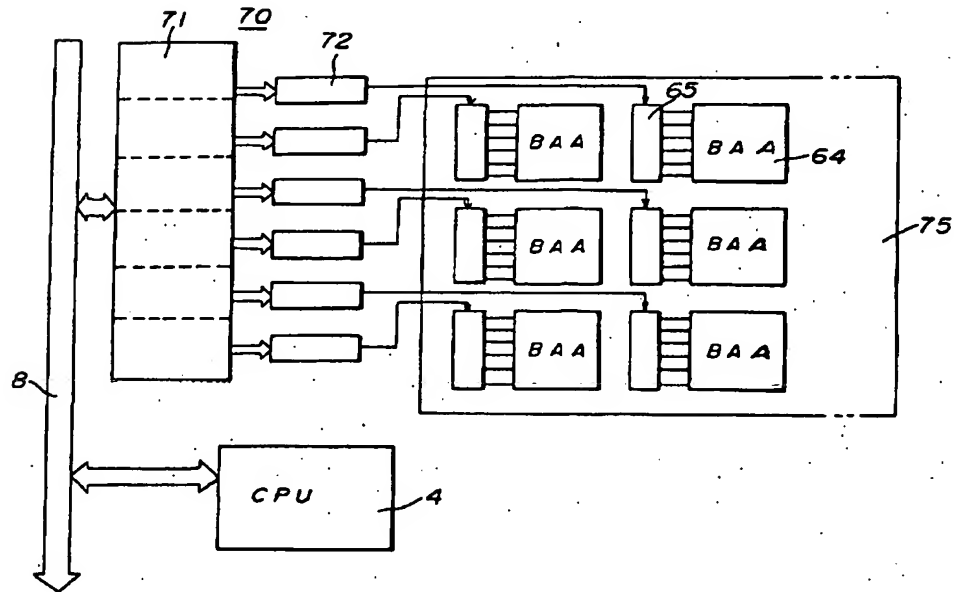
露光補正を説明する図

第 7 図



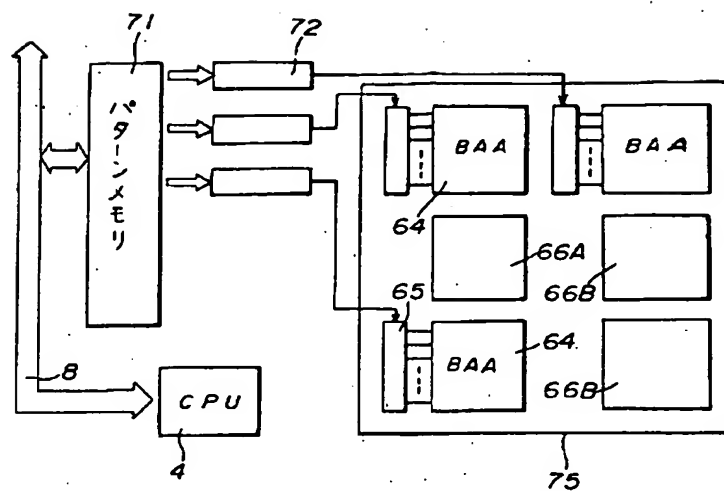
偏向制御回路の詳細なブロック図

第 9 図



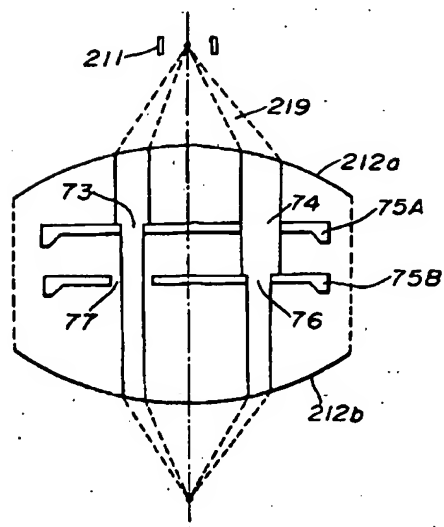
ランキングアパーチャレイの第2実施例を説明する図

第10 図



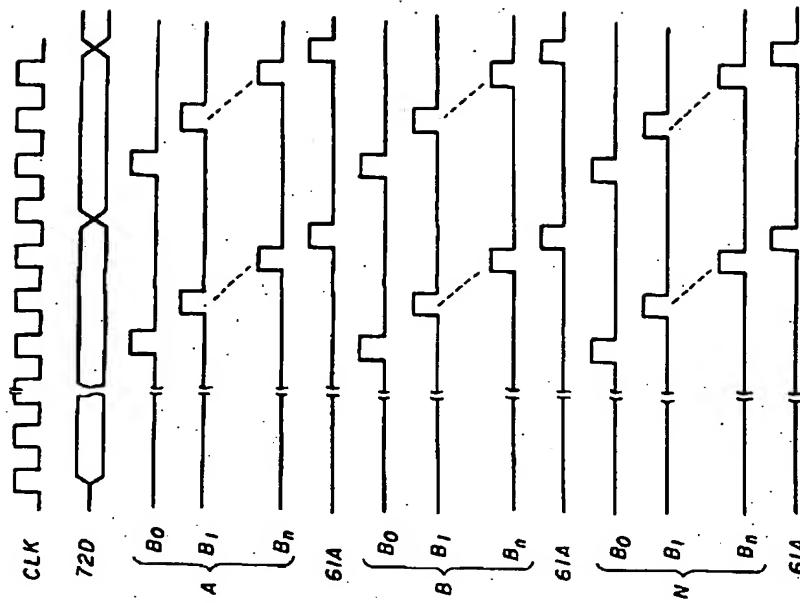
ランキングアパーチャアレイの第3実施例を説明する図

第11図



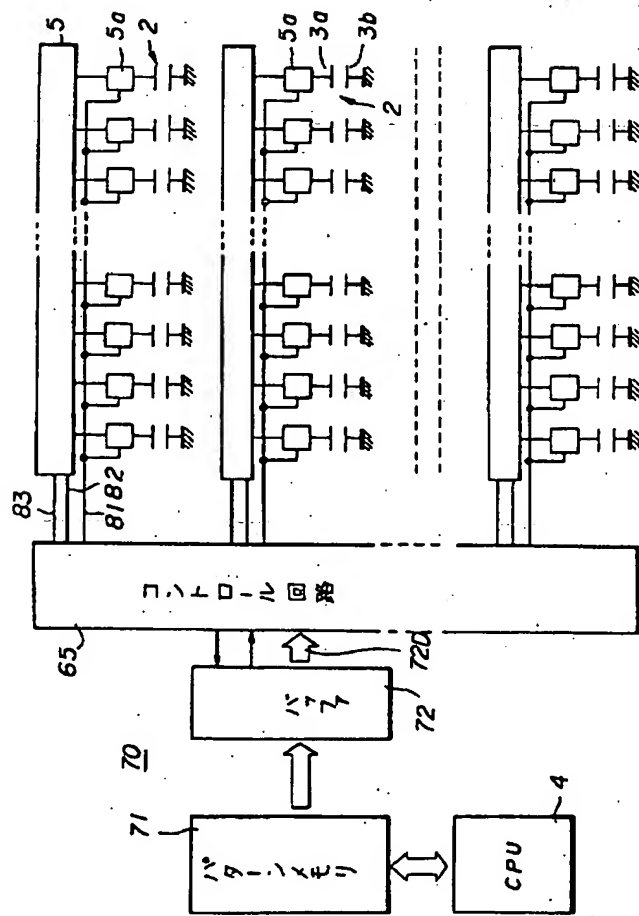
ランキングアパーチャアレイの第4実施例を説明する図

第12図



第5実施例の動作説明用タイミングチャート

第14図

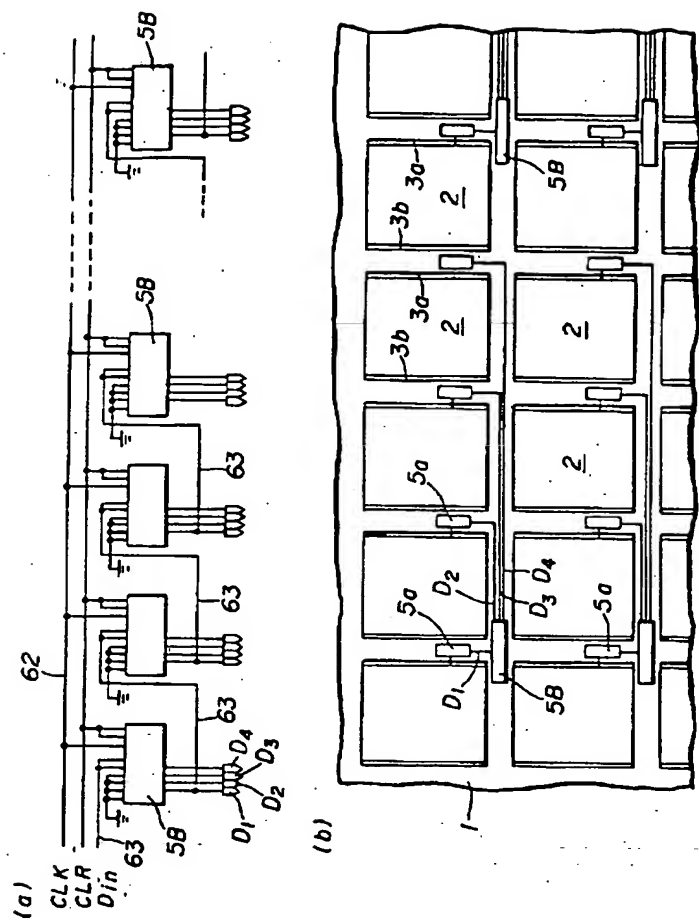


第5実施例の動作説明用タイミングチャート

第13図

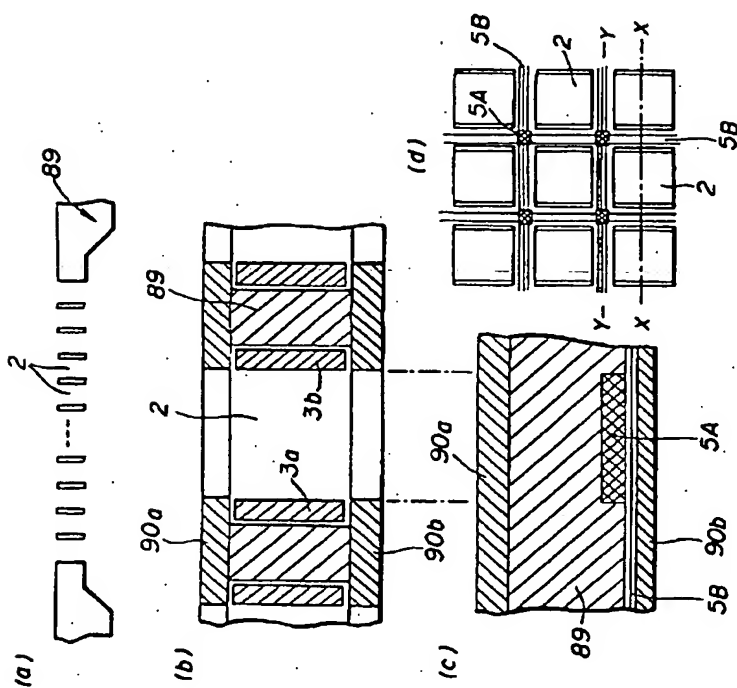
フロッピング・リバーチャルの第6実施例を説明する図

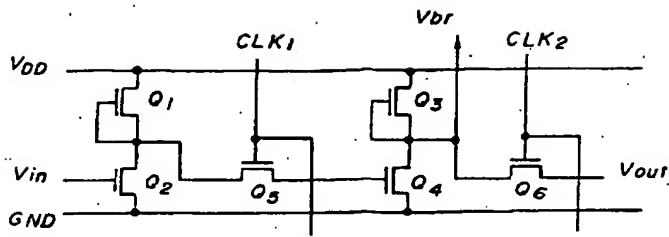
第16図



リバーチャルの具体例の説明図

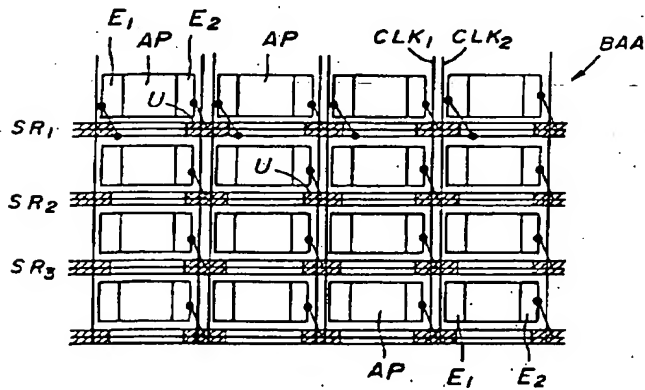
第15図





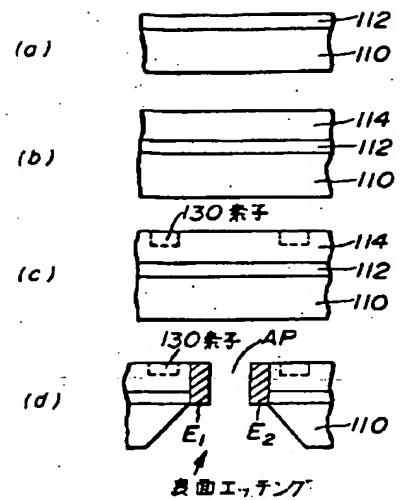
ブラッキングアパーチャアレイの第7実施例の
等価回路図

第17図



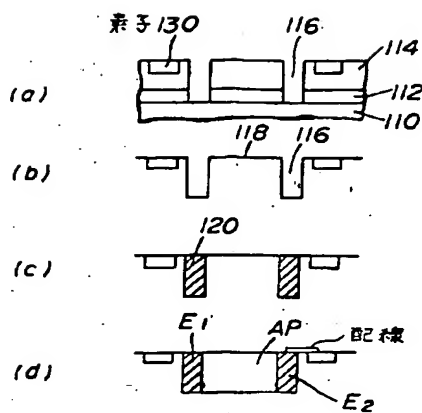
第17図の回路の配列状態を示す平面図

第18図



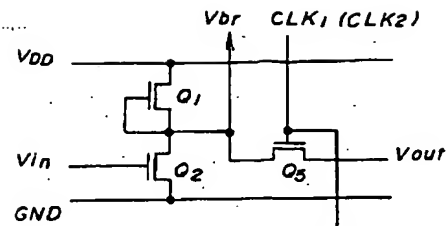
ブラッキングアパーチャアレイの製造方法の
実施例を説明する工程図

第19図



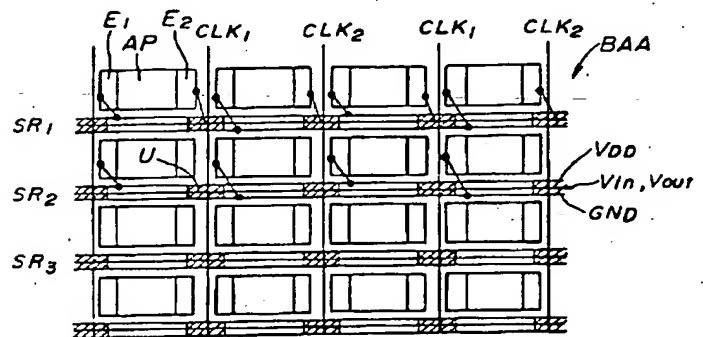
ブラッキングアパーチャレイの製造方法の実施例を説明する工程図

第20図



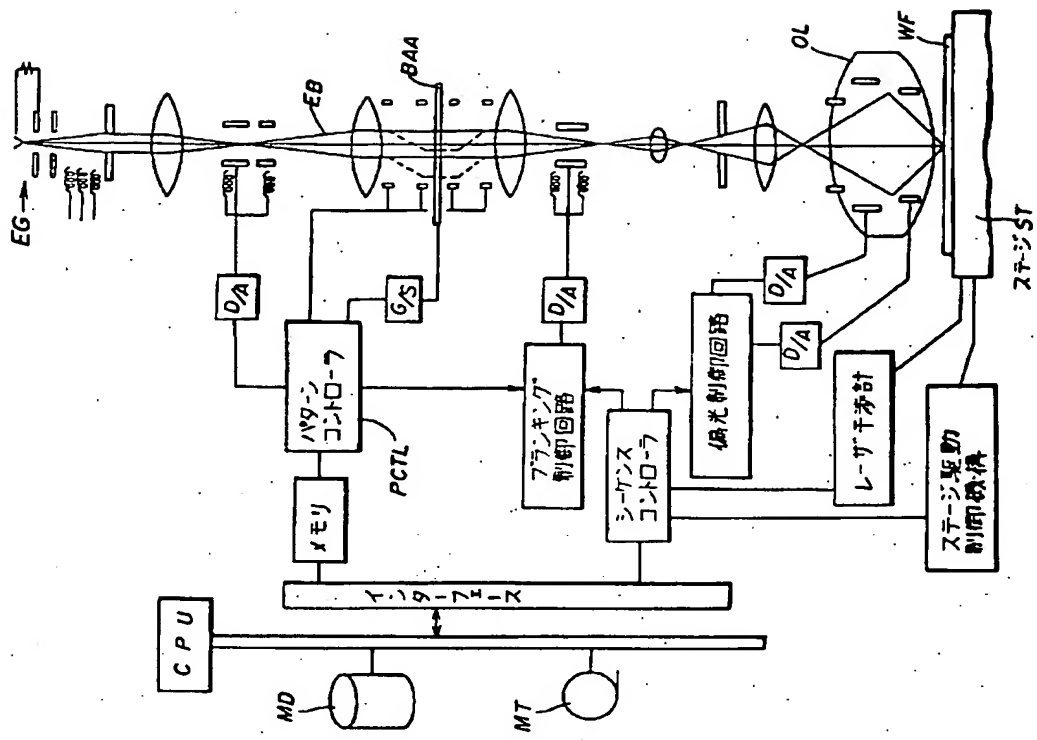
ブラッキングアパーチャレイの第8実施例の各部を示す回路図

第21図



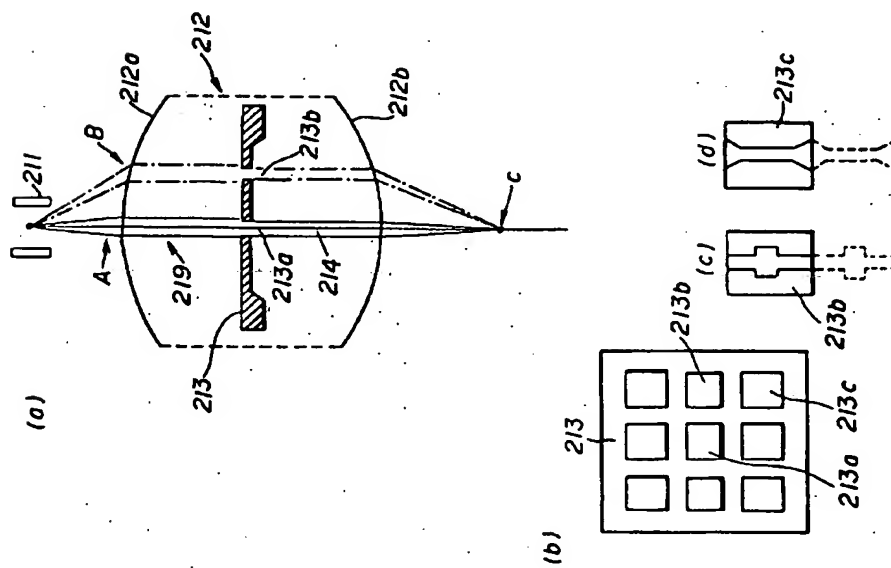
第21図の回路の配列状態を示す図

第22図



電子ビーム露光装置の構造説明図

第24區



デジタルマスク型紫外光硬化装置の説明図

區 23 號

第1頁の続き

優先権主張

⑤平1(1989)9月14日⑤日本(JP)⑤特願 平1-239623

⑤平1(1989)9月25日⑤日本(JP)⑤特願 平1-248835

⑦発明者

高橋

靖

神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

⑦発明者

安田

洋

神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内

[JP,2835140,B]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

(57) [Claim(s)]

[Claim 1] In the blanking aperture array for which a charged particle beam is irradiated and which operates this beam orthopedically The substrate with which the two-dimensional array of the aperture (2 19 c, AP) with a blanking electrode (3a, 3b, 19a, 19b, E1, E2) was carried out to the at least m line n train (75,110), The blanking aperture array characterized by preparing n m-bit shift registers (5 19d) which impress the electrical potential difference according to pattern data to these m sets of blanking electrodes of the aperture in this i-th train (i= 1, 2, .., n).

[Claim 2] The blanking aperture array according to claim 1 characterized by forming the buffer (6 19e) which inputs pattern data into said n shift registers (5 19d).

[Claim 3] Said n shift registers (5 19d) are blanking aperture arrays according to claim 1 or 2 characterized by being prepared along with each line of the aperture (2 19 c, AP) arranged by said m line n train.

[Claim 4] Said n shift registers (5 19d) It comes to carry out two or more series connection of the shift register section which connected the inverter and the passage control transistor to the serial, and was made into one unit into the grid width of face of the line writing direction of the aperture (2 19 c, AP) arranged by said m line n train, respectively. The output of each shift register section is impressed to a corresponding blanking electrode (3a, 3b, 19a, 19b, E1, E2). the 1st and 2nd clocks (CLK1 --) which make said passage control transistor which adjoins each other in the grid width of face of the direction of a train of the aperture arranged by this m line n train turn on / turn off, respectively It is a blanking aperture array given in any 1 term among claims 1-3 characterized by preparing the signal line of CLK2.

[Claim 5] Said n shift registers (5 19d) It comes to carry out two or more series connection of the circuit section which connected two inverters (Q1-Q4) to the serial at the 1st gate (Q5), and was made into one unit into the grid width of face of the line writing direction of the aperture (2 19 c, AP) arranged by said m line n train, respectively at the 2nd gate (Q6). The output of each circuit section is impressed to a corresponding blanking electrode (3a, 3b, 19a, 19b, E1, E2). the 1st and 2nd clocks (CLK1 --) which make these 1st and 2nd gates turn on / turn off, respectively in the grid width of face of the direction of a train of the aperture arranged by this

m line n train It is a blanking aperture array given in any 1 term among claims 1-3 characterized by preparing the signal line of CLK2.

[Claim 6] Said n shift registers (5 19d) It comes to carry out two or more series connection of the shift register section which connected one inverter (Q1, Q2) and the one gate (Q5), and was made into one unit into the grid width of face of the line writing direction of the aperture (2 19 c, AP) arranged by said m line n train, respectively. The output of each shift register section is impressed to a corresponding blanking electrode (3a, 3b, 19a, 19b, E1, E2). It is a blanking aperture array given in any 1 term among claims 1-3 characterized by preparing the signal line of the 1st and 2nd clocks (CLK1, CLK2) which make this gate turn on / turn off, respectively in the grid width of face of the direction of a train of the aperture arranged by this m line n train.

[Claim 7] Said n shift registers (5 19d) are blanking aperture arrays given in any 1 term among claims 1-6 which also impress the electrical potential difference which followed the data for exposure-time correction in addition to said pattern data to said blanking electrode (3a, 3b, 19a, 19b, E1, E2) of said aperture (2 19 c, AP), and are characterized by using this a part of aperture for exposure-time correction.

[Claim 8] It is a blanking aperture array given in any 1 term among claims 1-7 characterized by for the array which makes the aperture (2 19 c, AP) arranged by said m line n train and said n shift registers (5 19d) one unit (64 65) achieving two or more unit independence, and preparing it in said substrate (75,110).

[Claim 9] The blanking aperture array according to claim 8 characterized by preparing at least one side in said substrate (75,110) further among the stencils (66B) which have opening for adjustable rectangles (66A) and the transparency hole of the configuration of a request pattern other than said unit (64 65).

[Claim 10] The manufacture approach of the blanking aperture array characterized by providing the following The process which forms an impurity diffused layer (112) in a semi-conductor substrate (110), and forms an epitaxial growth phase (114) on it The process which forms the clock signal line of a shift register and this gate which comes to connect the two or more units with a serial in a line and the direction of a train by making an inverter and the gate into a unit, and forms opening with the electrode of a pair in this epitaxial growth phase at each ** of the shift register and signal line of the line and the direction of a train the electrode of the pair of this opening -- on the other hand (E2) -- the outgoing end of each unit of a shift register -- connecting -- another side (E1) -- all -- a low voltage line -- or the process which connects quantity and a low voltage line by turns

[Claim 11] The manufacture approach of the blanking aperture array according to claim 10 characterized by providing the following. The process which forms opening with the electrode of a pair is a process which etches the slot (116) on the narrow width by trench etching in the location of the side side of the pair which each opening of an epitaxial growth phase counters until it reaches at a semi-conductor substrate. The process formed in a slot front face with an insulator layer (118) The process on which Mizouchi of each set is made to deposit the metal

(120) used as an electrode The process which etches and removes Mizouchi's inter-electrode epitaxial growth phase and inter-electrode impurity diffused layer of each set from a front-face side, carries out taper etching, removes this inter-electrode semi-conductor substrate from a rear-face side, and makes opening

[Claim 12] The blanking aperture array (1 19A) in which aperture (2 19 c, AP) with a blanking electrode (3a, 3b, 19a, 19b, E1, E2) has the substrate (75,110) by which the two-dimensional array was carried out to the at least m line n train In the charged particle beam aligner which exposes the candidate for exposure (24) on a stage (22) by the charged particle beam patternized by turning on / turning off the charged particle beam which passes along this aperture by the electrical potential difference which is used and is impressed to this blanking electrode This blanking aperture array is a charged particle beam aligner characterized by preparing n m-bit shift registers (5 19d) which impress the electrical potential difference according to the pattern data of the graphic form which should be exposed to m sets of blanking electrodes of the aperture in the i-th train.

[Claim 13] Said blanking aperture array (1 19A) The array which makes the aperture (2 19 c, AP) arranged by said m line n train and said n shift registers (5 19d) one unit (64 65) achieves two or more unit independence, and is prepared in said substrate (75,110). The charged particle beam aligner according to claim 12 which makes it the description as the electrical potential difference according to the pattern data of the graphic form which should be exposed next during exposure at other arrays using one array is impressed and it comes to change the array of on-aperture into the following request pattern.

[Claim 14] Said shift register (5 19d) is a charged particle beam aligner according to claim 12 or 13 which supplies said pattern data to said blanking electrode (3a, 3b, 19a, 19b, E1, E2) in advance of exposure, makes the array of on-aperture a request configuration, carries out incidence of the beam (219) after that, and makes it the description as it comes to expose by fabricating a beam cross-section configuration in this request configuration.

[Claim 15] It is a charged particle beam aligner given in any 1 term among claims 12-14 characterized by having further a polarization convergence means (35, 17, 20) to project said charged particle beam chosen and patternized by said blanking aperture array (1 19A) for [said] exposure.

[Claim 16] Said n shift registers (5 19d) Answer a clock and the shift action of said pattern data by which a sequential input is carried out the n bits of the directions of a train at a time is carried out all at once. That migration of said stage (22) and the deviation of said deviation convergence means (35, 17, 20) are controlled so that the beam chosen and patternized by said blanking aperture array (1 19A) projects on the same location of the top for [on this stage / said] exposure (24) The charged particle beam aligner according to claim 15 by which it is characterized.

[Claim 17] Said n shift registers (5 19d) are charged particle beam aligners given in any 1 term among claims 12-15 which answer a clock, carry out the shift action of said pattern data by

which a sequential input is carried out the n bits of the directions of a train at a time all at once, and make it the description as it comes to carry out exposure by said charged particle beam after the shift action termination to these pattern data.

[Claim 18] Said blanking aperture array (1 19A) Simple rectangle opening, opening for adjustable rectangles, and the 1st mask with which the stencil was formed (75A, 75B), It has the 2nd mask (75B, 75A) with which simple rectangle opening, blanking rectangle opening, and an aperture array and its drive are formed. These masks It is the charged particle beam aligner according to claim 12 characterized by for the aperture array corresponding point of the 1st mask being simple rectangle opening, and arranging the 2nd opening for adjustable rectangles and stencil corresponding point of a mask in piles so that it may be simple rectangle opening or blanking rectangle opening.

[Claim 19] The charged particle beam aligner characterized by providing the following. A charged particle beam generating means to have the good control charged particle beam generating component (BG1, BG2) which carried out the two-dimensional array to the m line n train, and to generate this beam corresponding to each dot of the graphic form which should be exposed (1 19A) The m-bit shift register which impresses the electrical potential difference according to pattern data to each of that component along with each line of the array of this generating component (5 19d) The buffer which inputs pattern data into these n shift registers (6 19e) A deviation convergence means to project the charged particle beam which said generating means generated for [on a stage (22)] exposure (24) (35, 17, 20)

[Claim 20] It is the exposure approach using a charged particle beam aligner according to claim 19. Said buffer (6 19e) to said n shift registers (5 19d) It carries out the n bits of the directions of a train at a time the sequential input of the pattern data of the graphic form which should be exposed. According to a clock, the shift action of the n shift registers is carried out all at once. Migration of said stage (22) and the deviation of a deviation convergence means (35, 17, 20) The exposure approach characterized by controlling so that the beam chosen and patternized with said charged particle beam generating means projects on the same location on this stage.

[Claim 21] It is the exposure approach according to claim 20 which the data for correction other than graphic form pattern data are contained in the data which said buffer (6 19e) inputs into n shift registers (5 19d), and is characterized by using some generating components for exposure-time correction.

[Detailed Description of the Invention]

[Summary of the Invention]

It is related with the charged particle beam aligner and approach using a blanking aperture array, its manufacture approach, and a blanking aperture array. It aims at enabling charged-particle exposure which was superior to the conventional lithography technique in all detail, alignment precision, quick turnarounds, the control, and dependability. blanking aperture array is constituted so that the substrate with which the two-dimensional array of the

aperture with a blanking electrode was carried out to the at least m line n train, and n m -bit shift registers which impress the electrical potential difference according to pattern data to a blanking electrode may be prepared.

[Industrial Application]

This invention relates to the charged particle beam exposure approach using the charged particle beam aligner and blanking aperture array which used a blanking aperture array, its manufacture approach, and a blanking aperture array.

In recent years, the degree of integration and function of an integrated circuit (IC) improve increasingly, and a role of a nucleus of the technique widely covering [communication equipment / a computer] the industrial whole in IC is expected.

The big column of IC manufacturing technology is high integration by micro processing. The limitation of photolithography of micro processing is about 0.3 micrometers. However, by charged particle beam exposure using an electron, ion, an X-ray beam, etc., micro processing 0.1 micrometers or less can be performed in the alignment precision of 0.05 micrometers or less. Therefore, if the charged particle beam aligner which exposes 2 in about 1 second 1cm is realized, imitation of the lithography technique of very others will not be allowed for which of a detail, alignment precision, a quick turnaround, and dependability. That is, manufacture of 1 - 4Gbit memory and the 1M gate LSI also becomes possible.

[Description of the Prior Art]

There are various equipments, such as a thing of the type which uses a blanking aperture array for making it the point beam type which uses it by making a beam into the shape of a spot, the adjustable rectangle beam type which use it by making it a size adjustable rectangle cross section, the stencil mask mold made into a request cross-section configuration using a stencil, and a request cross-section configuration, in a charged particle beam aligner.

In the charged particle beam aligner of a point beam type, since the throughput is low, it is used for researches and developments. At the case where the pattern in which the about 0.1-micrometer detailed pattern was got blocked with the charged particle beam aligner of an adjustable rectangle beam type with the high degree of integration although the throughput was high figures double [1-] compared with the point beam type is exposed, there are many problems in respect of a throughput too. On the other hand, the charged particle beam aligner of a stencil mask mold uses for the part equivalent to adjustable rectangle aperture the stencil mask in which two or more repeat pattern transparency holes were formed. Therefore, in the charged particle beam aligner of a stencil mask mold, the merit in the case of exposing a pattern repeatedly is large, and a throughput improves compared with an adjustable rectangle beam type.

The outline of the charged particle beam aligner equipped with the stencil mask is shown in Fig. 23. The focusing electromagnetic lens 212 consists of convex electromagnetic lenses of the pair which made the ball center in agreement with an optical axis 214 (a beam shaft is called an optical axis for convenience) and which is not illustrated, and incidence side

spherical-surface 212a is formed with one lens, and it forms outgoing radiation side spherical-surface 212b with the lens of another side. The stencil mask 213 is equipped with adjustable rectangle transparency hole 213a by which opening was carried out in accordance with the optical axis 214, and two or more repeat pattern transparency hole 213b, and is formed.

In such a configuration, the beam incidence location to incidence side spherical-surface 212a is decided by the amount of deviations with the electrostatic deflection machine 211. For example, when choosing adjustable rectangle transparency hole 213a, incidence of the beam is carried out to the location A of spherical-surface 212a, and when choosing pattern transparency hole 213b, incidence is similarly carried out to a location B. According to deviation actuation of the beam electrostatic deflection machine 211, the incidence location to spherical-surface 212a of a beam changes, the stencil mask 213 is passed, outgoing radiation is carried out from outgoing radiation side spherical-surface 212b, the path which returns to an optical axis 214 again is taken, and a pattern is imprinted on a wafer.

An example of the pattern on a stencil mask is shown in Fig. 23 (c) and (d), and the array condition on the mask of these patterns is shown in this drawing (b). Patterns 213b and 213c are patterns which appear well in the connection section of wiring, and are this one, or are made to continue, as shown in a dotted line, and perform drawing (exposure) of wiring or its connection section. [two or more] 213a is opening for adjustable rectangle aperture. A beam cross section shifts, and according to an amount, it changes and goes away because it projects the beam fabricated in the rectangle cross section on it as only a part laps with this opening 213a (adjustable rectangle). If the beam fabricated in the rectangle cross section is projected on Patterns 213b and 213c, since it can pass only through the inside of an illustration pattern (hole), a cross section will become the beam changed into the illustration pattern, and will go away.

This stencil mask can expose an illustration pattern at a stretch, and can gather an exposure rate. Although a stencil mask has two or more transparency holes, in a conventional type however, an imprint pattern According to exposure, it must form as a stencil mask in advance. Moreover, since the exposure field is limited, As opposed to the semiconductor circuit which needs many imprint patterns which are not restored to one stencil mask Since two or more stencil masks are created, and it is necessary to use one of it at a time, taking it out and the time amount of a mask shift is needed, the result to which a throughput is reduced remarkably has been caused.

On the other hand, preparing the blanking aperture array which solves this trouble and which was arranged in the two-dimensional direction instead of a stencil mask is proposed as law. With such a configuration, it can make only by changing the signal which impresses the imprint pattern of the configuration of arbitration to each blanking electrode.

By the approach by the two-dimensional blanking aperture array Arrange much openings in semiconducting crystals, such as silicon, two-dimensional, and a blanking electrode is formed

in the both sides of opening. Since the electron beam which passed through that will be bent if one electrode is dropped to a gland among each hole and an electrical potential difference is impressed to the electrode of another side for example, it impresses an electrical potential difference to this and gives **** with pattern data After passing the lens installed in the lower part of a blanking aperture array, it is cut by aperture and a beam does not come out to a sample side. Moreover, since the electron beam which passed through that is not bent unless it impresses an electrical potential difference to the electrode of another side, after passing the lens installed in the lower part of a blanking aperture array, a beam is irradiated by the sample side, without being cut by aperture.

The outline of this electron beam machine is shown in Fig. 24. BAA is a blanking aperture array and transforms the cross section of electron beam EB into the dot pattern of a request configuration. Focusing, a deviation, etc. are carried out, it outputs and inputs at right angles to the aperture array BAA, and focusing, a deviation, etc. are carried out again, and electron beam EB which came out of the electron gun EG passes along objective lens OL, and she does incidence to the specified location of the wafer WF of the movable stage ST. Since the aperture array BAA is installed with an adjustable rectangle and a stencil, as a dotted line shows that an electron beam passes along the request location of the aperture array BAA, it is shifted in this case. This shift, and ON/OFF of each opening of the aperture array BAA are performed by the pattern controller PCTL, and Controller PTCL is controlled by Processor CPU. In addition, for MD of this drawing, a magnetic-disk drive and MT are [digital to analog and amplifier, and G/S of a magnetic tape unit and D/A] two-dimensional ON / off information generating / are recording equipment.

In a two-dimensional blanking aperture array, it has 200x200 openings and the electron beam which passed along this turns into a maximum of 200x200 point beams. Since ON/OFF in each are possible for opening, the two-dimensional graphic form of arbitration can be expressed with this 200x200 dot. The electron beam which passed along the aperture array is projected on a wafer as a beam which contracts with a lens, for example, is settled in 0.01-micrometer a maximum of 200x200 and an every direction 4micrometerx4micrometer field. Since the spherical-surface income-and-outgo difference of the last lens of an electron beam machine and chromatic aberration cannot be suppressed to about 0.02 micrometers, on a wafer side, it will contact or lap, each beam which passed the blanking aperture array will be irradiated, and the pattern exposed and developed does not leave it at each point.

[Problem(s) to be Solved by the Invention]

By the way, $200 \times 200 =$ it is not easy to give 40,000 NO/OFF information to each 40,000 electrodes of a blanking aperture array. For example, if 10micrometerx10micrometer opening is formed in the crystal of Si with a thickness of 30 micrometers by etching in 15-micrometer pitch, an about 3000A thin oxide film is formed in the front face and an electrode is formed in two fields of opening which counter with a tungsten (W), the part of the shape of a grid of 5-micrometer width of face will remain in the crystal of Si. It is required to form a metal circuit

pattern on the grid, of this 5-micrometer width of face, and to give an electric signal independent of the electrode of each opening through a metal circuit pattern. In order to tie a circuit pattern to the lattice point of 200-line 200 trains, also at the lowest, it will let 100 circuit patterns pass to one horizontal each Rhine (in this case, it is supposed that by one half and a circuit pattern will be connected from right and left). Although it is necessary to form 0.025-micrometer Rhine and a tooth-space pattern in the location where wiring was [each other] most crowded in carrying out by one layer in order to form 100 Rhine and tooth spaces in width of face of 5 micrometers, at present, this is difficult. At least ten layers of the circuit pattern of ten layers are not [0.25 micrometer Rhine and a tooth space] yet realistic, for example, although it is required and Rhine and the tooth space which are 0.25 micrometers are in a possible situation technically, even when a multilayer interconnection is used in today. Moreover, difficulty is also in the following point. Usually, although a blanking aperture array is installed into the vacuum called column of an electron beam machine, carrying in 40,000 signal lines here cannot but say a signal-transmission line, send IC of a signal, vacuous hermetic sealing, and which as the very most difficult work. Therefore, the two-dimensional blanking aperture array is unreal, as long as it wires the electrode of each opening simply and ON/turning off are assumed.

Furthermore, there is a problem of beam amendment. Although the amendment of the heterogeneity (heterogeneity of the intensity distribution of a crossover image) of each part of a cross section of a beam on the strength which carries out incidence to an aperture array is amended by ON time amount, if this also becomes the two dimensional array of a nxm individual and the number of aperture increases, the scale of an amendment circuit will become size.

Moreover, although the pattern by the proximity effect between contiguity patterns grows fat and /thin ** is conspicuous if a pattern makes it detailed, there is no function of this proximity effect correction in the above-mentioned proposal equipment.

The aligner using the two-dimensional blanking aperture array like the above is indicated by JP,56-19402,Y. According to this official report, two or more gate plates are made to distribute wiring to an electrode by using the aperture array which consists of two or more gate plates. However, since the number of wiring does not necessarily decrease this approach as a whole at all, wiring to an electrode is still complicated. Moreover, it is very difficult to perform alignment of the electrode which corresponds between gate plates.

Although it can manufacture comparatively easily in order that the 1-dimensional blanking aperture array which arranged opening only in one train may not have a problem which was described above, in such an aperture array, a throughput is small and the demand on IC manufacture of a wafer of drawing 2 in 1 second 1cm is unlikely to respond to it.

So, in order to enable charged particle beam exposure by the blanking aperture array which does not allow imitation of the RISOGURI fee technique of very others for which of a detail, alignment precision, a quick turnaround, and dependability, this invention also aims

amendment at offering the structure and the manufacture approach of the blanking aperture array which forms an easy two-dimensional patternizing beam while it is actually possible and easy to control.

A shift register is effective in transmitting ON / off signal to the electrode of each opening of an aperture array. However, since grid width of face is narrow, it is necessary to make it the thing of a configuration of also making and putting a shift register in this narrow grid width of face. So, it is other purposes of this invention to make a shift register etc. into the thing of a very easy configuration, and to enable hold of it in narrow grid width of face.

Moreover, it is the purpose of further others of this invention like the above to offer the charged particle beam aligner and the charged particle beam exposure approach using the improved blanking aperture array.

[The means for solving a technical problem]

As shown in Fig. 1, although the cross-section configuration of a charged particle beam is fabricated to a request pattern, by this invention, the blanking aperture array 1 of two-dimensional array is used. 2 is the aperture and two-dimensional array is carried out length and horizontally to the shape of a matrix. Each aperture 2 is equipped with the blanking electrodes 3a and 3b of a pair, the beam which passes along aperture 2 by turning on / turning off the electrical potential difference applied to these is deflected un- [a deviation /], and it is made for a beam to irradiate or not to irradiate an exposed sample.

The electrical potential difference applied to each blanking electrode is defined according to the request pattern of a beam cross-section configuration. The pattern generating section in which 4 generates the request pattern, and 5 are drives which supply the ON/OFF state voltage according to a request pattern to each blanking electrode, and the drive 5 consists of electrode drivers controlled by the shift register and the shift register. 6 is a circuit which these do and transmits the pattern data from the pattern generating section 4 to each of a drive 5.

[Function]

The beam shaping section 7 of Fig. 1 functions as an adjustable stencil which expressed the request exposure pattern with the dot group. In the pattern generating section 4, the request exposure pattern in the rectangle field which the ensemble of the aperture 2 of two-dimensional array occupies is disassembled into the dot equivalent to each aperture 2, and the dot pattern data is generated. The part of each line of the dot pattern data is supplied [at each drive 5] in the transfer-circuit section 6 to delivery and the data of each train of each line to each aperture 2. Now, applicable data are sent to each aperture 2, it is turned on/turned off, and the pattern of on-aperture is in agreement with a request exposure pattern.

A drive 5 is a driver which specifically drives the blanking electrode of aperture 2 in response to a shift register and the data of each of that bit. The transfer-circuit section 6 is a buffer means to specifically distribute the dot pattern data sent by 8 bits or 16 bit parallels to the drive 5 of each **** of the two-dimensional aperture array 1 from the pattern generating section 4 which is CPU.

Since this beam shaping section 7 functions as an adjustable stencil as a matter of fact, as for the exposure using this, an exposure rate's improves. Moreover, it changes according to the data which a configuration supplies, and several many sheets are prepared like a fixed stencil, and it is used, switching. The activity of exchanging the stencil mask itself becomes unnecessary, and a throughput improves. Furthermore, since the drive 5 consists of shift registers and it is not necessary to prepare wiring for ON/OFF separately to each aperture 2 like before, manufacture of the blanking aperture 1 becomes easy.

[Example]

First, the example of the charged particle beam exposure approach which becomes this invention using the 1st example of a blanking aperture array and this which become this invention is explained.

As shown in Fig. 2 (a), in this example, blanking aperture array 19A which carried out the two-dimensional array of the aperture to the m line n train is used. 19c of aperture, and 19a and 19b is the blanking electrode of the pair between aperture 19c.

Buffer 19e which prepares m bit shift register 19d along with each line of such aperture, and inputs pattern data into these n shift register 19d is prepared.

Although the pattern data of the graphic form which should be exposed are inputted into buffer 19e, this divides and dot-izes a graphic form in a line and a train, and is taken at a time as the n bits of the direction of a train. For example, supposing it also divides the graphic form which should be exposed according to an aperture array and divides a part for the 1 aperture into a m line n train, it will input into buffer 19e n bits of eye one train, n bits of eye two trains, and n bits in order of eye --m train. If buffer 19e considers as the FIFO mold in which n bit-parallel output is possible, it outputs to n shift register 19d at coincidence in order of a 1 train n bit, a 2 train n bit, and --, and these will be shifted with a clock and will go.

The correction data other than graphic form pattern data can be included in input data. The correction data of the heterogeneity of beam intensity distribution make this correction in the form of extension of the exposure time. Correction of the form of compaction of the exposure time is possible by making beforehand light exposure by graphic form pattern data into few things. The approach by light exposure correction besides the approach (it is made details and eye **) of correcting graphic form pattern data is also possible for amendment of the proximity effect.

aperture array 19A of Fig. 2 (a) projects the beam of a larger cross section than the whole, and deflects it with each blanking electrodes 19a and 19b -- beam patternizing is performed without /carrying out. This patternizing can also be carried out by controlling the generating of a beam itself. In the example, these are equivalent to one aperture 19c of Fig. 2 (a), therefore two-dimensional array of Fig. 2 (b) and the (c) is carried out to a m line n train in array 19A.

91 is a transparent electrode in Fig. 2 (b), and it becomes the electrode of the P type silicon substrate 95. 92 is the electrode of n type layer 96, and adds direct-current-voltage DC.V to these according to pattern data. As for the pn junction by which 93 is formed in these interfaces

of P layers and n layers, the thin film to which 97 reduces a work function, and 98, an insulating layer and 94 are acceleration voltage. If incidence of the laser beam is carried out in the condition that the electrical potential difference is added, a hot electron will be generated by the avalanche and this will go away as an electron beam EB.

Moreover, it is Fig. 2 (c) and, for an anode electrode and 100, as for the conductor of translucency, and 102, the substrate of translucency and 101 are [99 / a cone-like cathode and 104 / a photoconduction layer and 103] insulating layers. translucency. -- if an electrical potential difference is applied to a conductor 101 and incidence of the light is carried out, an electron will be emitted from a cathode 99 and it will go away as an electron beam EB. Control of electron beam EB and generating of the patternized 2-dimensional electron beam are possible also for any at the luminescence control by control of the applied voltage to an electrode, a light emitting diode, etc.

The exposure approach using aperture array 19A of Fig. 2 (a) is explained referring to Fig. 3. In Fig. 3 (a), much chips with which 24a is formed in a wafer 24, and 41 show the graphic form pattern which should be exposed on a chip. This graphic form pattern 41 is classified into a m line n train, and if a place (a pixel or dot) with a graphic form is expressed with "1" and the place which is not is expressed with "0", pattern data will become like D5 of Fig. 3 (f). Delivery and buffer 19e inputs a part for one train of this pattern data, and 2 train, and -- into a part for this one train and 2 train, and inputs -- into n shift register 19d serially to buffer 19e, and these are shifted according to a shift clock in shift register 19d. Therefore, about the first one train, shift register 19d data become, as shown in Fig. 3 (b), and only the electron beam which passed along aperture 19c of data "1" is projected on them in the request location of a wafer 24. In the phase which also inputted the pattern data of eye two trains, as shown in Fig. 3 (c), it becomes, and where eye three trains and eye four trains are also inputted, it becomes like this drawing (d) and (e) --.

Thus, on aperture array 19A, if pattern data compare and say, it will move and go like an illuminated news display. Therefore, it moves and, the way things stand, the beam incidence location on a wafer 24 also goes. However, this is not moved, and it makes a request on wafer 24 location stand it still in this invention until it becomes the request exposure time. This is performed by deviation control of a beam, and in this deviation control, supposing the wafer 24 is also moving, it will also perform amendment of that part. If the direction of beam deflection is the same as the stage (wafer) migration direction, there are few amounts of corrections by deviation, they end, and can also be substituted only for stage migration depending on the case. Since eye one train appears first and eye m train appears at the end, the way things stand, the exposure times differ in each train, but in this point, eye one train disappears first, and eye m train will be equalized if it is made to disappear at the end.

The exposure time is time amount to which data "1" have appeared in the aperture array, and is x (the number of aperture arrays while having appeared) (clock period). This fact is applicable to correction. Namely, what is necessary is just to increase the effective number of

aperture 19c according to extended time amount in the place which wants to extend the exposure time since the beam reinforcement of the part concerned is low. **** in the whole, when reduction in the exposure time is required -- it sees and the usual exposure time increases the number of effective aperture to a required part (in this case, it is usually alike and carries out). What is necessary is to insert a gate circuit (not shown) between that blanking electrode and shift register 19d, and just to give the aperture array section for amendment other than light exposure correction data, i.e., the aperture array for image patterns of normal, about aperture 19c controlled by part for a shift register 19d post-stage, in order to perform effective / invalid control of this aperture 19c. if fixed effective / invalid control are sufficient, between an electrode and shift register 19d will be connected -- it is good without /carrying out, and the addition circuit for this control is not needed.

In order to carry out amendment to the proximity effect of a pattern, image pattern data are made details and eye **, or same light exposure control is performed.

Thus, moving the beam by which two-dimensional patternizing was carried out, the charged particle beam generating means which contains blanking aperture array 19A or the beam generating components BG1 and BG2 for a lot of pattern data efficiently as it is the method which is made to stand it still and is exposed can be supplied, and high-speed exposure of a detailed pattern is attained in the top for exposure.

In addition, the pattern data of a different graphic form may be supplied to buffer 19e one by one. When supplying only one graphic form pattern data to buffer 19e, it is necessary to supply the dummy pattern data of data "0" to buffer 19e so that the exposure time in each location on a pattern may become the same. However, when supplying the pattern data of a different graphic form to buffer 19e one by one, it is not necessary to do buffer 19e supply of dummy pattern data.

Moreover, exposure is very good in the configuration performed after the shift action termination of shift register 19d to the pattern data of one graphic form.

The example of the charged particle beam aligner which becomes this invention is shown in Figs. 4 and 5 . Through the complete diagram, although that is right, the same sign is given to other same parts. Fig. 4 is a system block Fig., it is processed by reading from a magnetic disk 26 or a magnetic tape 27 by the processor 25, and drawing data are sent to the data-processing controller 40. Delivery and the data passing through this are sent to data division / escape circuit 41 in which the data-processing controller 40 makes analysis of drawing data, restoration of compressed data, etc. perform in data in the bit map generating circuit 30. After they generate a graphic form if the sent data are the parameter which specifies a graphic form configuration and magnitude, they perform MESHU division in blanking aperture size further and consider as bit-like data, it passes along the bit map data bus 43 by the bit map generating circuit 30, and the bit map memory 42 is made to memorize in it. The location data given to the transverse-scan deflector 17 and 8 pole deflector 20 are also generated, and it is made to memorize to the bit map memory 42 similarly in the bit map generating circuit 30.

The bit map memory 42 is roughly divided into three, as shown in Fig. 6. Imprint location data have described the assignment information on the start point on the wafer of graphic form configuration bit data, or a graphic form configuration code. The data for amendment are data which consist of both the nonuniformity correction and proximity effect correction of a crossover image. In order that the number of a bit-line train may determine an exposure dose in graphic form drawing by this method, as shown in Fig. 7, it places by superposition by making a data storage the appearance which adjustment of a dose accomplishes at the memory section of the bit data for amendment. The amendment data C1 and C2 are the objects for nonuniformity correction and the objects for proximity effect correction of a crossover image in this Fig. 7.

Based on the data memorized by the bit map memory 42, the blanking matrix control circuit 45 performs control of blanking aperture array 19A and the deviation control circuit 35. As shown in Fig. 5, aperture array 19A is equipped with FIFO buffer 53, a shift register 56 (these are equivalent to 19e and 19d of Fig. 2), and the driver (for example, transistor of Darlington connection) 58 that drives aperture electrode 19a. this Fig. 5 -- aperture array 19A -- 19f, and 91g and the object for the amendment data C2 for the amendment data C1 for graphic form patterns -- it consists of three 19h parts, and a shift register 56 and FIFO buffer 53 are formed in each. A buffer 53 operates with a clock CLK2, and a shift register 56 operates with a clock CLK1. Transition of the data N1 and N2 which are incorporated and go to the buffer 53 of 19f of graphic form pattern sections, -- and the aperture electrodes E1 and E2, and the data added to -- is shown in Fig. 8.

The bit data for amendment are sent to the amendment sections 19g and 19h of blanking aperture array 19A for every block. If it measures that data migration of graphic form data division is completed in the clock counter circuit 57 and sequence comes it, this amendment section will read the data of the amendment section FIFO 53, and will perform ON of a blanking, and OFF. Thereby, amendment shown in Fig. 7 is performed.

The deviation control circuit 35 of Fig. 4 reads imprint location data from the bit map memory 42 synchronizing with the signal from the bit map matrix control circuit 45. This drives the transverse-scan deflector 17 of the Rhine beam LB. Moreover, in this case, by the stage control controller 48, feedback control of the stage 22 is carried out, and continuation rate migration is carried out. Therefore, since the location of the Rhine beam LB accompanying continuation rate migration of this stage 22 also needs to carry out feedback amendment, from the laser interference comparator 38, the deviation control circuit 35 reads the location of a stage 22, asks for difference with previous imprint location data, and it drives 8 pole deflector 20 so that the range with difference may be maintained.

The detail of the deviation control circuit 35 is shown in Fig. 9. Control-section 35a receives a clock from the blanking matrix control circuit 45, and performs read-out of the bit map memory 42. S1 and S2 are data which the control signal of the read-out directions, the address, etc. and D read. The data D read from the imprint location data storage section of memory 42 are

supplied to the driver (DCA and AMP) of the transverse scan deflector 17 through amendment circuit 35b and register 35c. The stage location data from the laser length measuring machine 38 are set to register 35d. The location data X1 [whether a difference with the location X2 which the above-mentioned data D show is smaller than the decision value n set to register 36g by CPU, and] namely, -- $|X1-X2|^{**n}$ ***** -- difference -- it should be judged by judgment circuit 36e, if it is NO, a predetermined value should be set to register 36f, and this should pass a driver 37 -- it is given to 8 pole deflector 20, and the deviation of the Rhine beam LB is controlled.

The beam of 0.05-micrometer angle is put in order the 50 directions of a train, and 1000 line writing directions, continuation migration of the scanning area of 2mm width of face is carried out to it being 25ns of exposure times of the area which consists of matrices by 50 mm/s using the resist of the current density of 200 A/cm², and the sensibility of 5microc/cm², the exposure speed of 20msec(s) is obtained per two 1cm by the above, and it becomes the improvement in a rate of 1/50 by it compared with a conventional type.

The drive circuit etc. is also the same as when using the beam generating component of Fig. 2 (b) and (c).

The comparison with the here conventional single dimension aperture array and 2-dimensional aperture array 19A is performed. Aperture shall turn on / turn off the beam of 0.01-micrometer angle. The field of 2 is expressed with 1012 of the above-mentioned beam, and costs 1cm for exposing this in 1 second. If resist sensibility is made into 10microc/cm², since it can expose by 100MHz with the current density of 100 A/cm², 105 and the Rhine length will be set to 1mm by the number of beams (the number of aperture). If reduction percentage is made into 1/100, it is necessary to prepare a 100mmx1micrometer aperture array. It is also the most difficult work to also carry out the homogeneity exposure of this with a beam, to also construct the contraction optical system of a beam, and to prepare a signal quickly 105 pieces.

If only 103 can prepare the aperture of an aperture array, it is exposing 2 1cm to this thing for 100 seconds, and a duration becomes excessive.

On the other hand, the above-mentioned 2-dimensional aperture array 19A shall be made into 100 trains and 1000 lines, and the signal (bit) of each line shall be shifted with the clock period for 1ns. With the resist sensibility of 10microc/cm², and the current density of 100 A/cm², by the exposure time for 100ns, since it is good, as for each signal, sufficient light exposure for a resist will be given among 100 *****. if it is this that reduction percentage is set to 200micrometex2mm, carries out the homogeneity exposure of this field, and should just reduce an aperture array as 1/200 -- creation -- it is easy. Moreover, feasibility is [that a signal should just transmit 1000 independent things with the clock rate of 1GHz] high.

Transmitting a pattern signal to all the aperture of a 2-dimensional aperture array at coincidence requires time amount too much by the method which there is difficulty in respect of wiring and a drive circuit, and sends a signal for every aperture. By the method which uses a shift register, these problems are avoidable like this example.

Since according to the above-mentioned example it has the function of the nonuniformity correction of the intensity distribution on a beam cross section, and proximity effect correction and circuitry is not complicated with the number of bits of the Rhine beam, exposure by the 2-dimensional patternizing beam is attained. For example, drawing in LSI of 0.2-micrometer Ruhr extent can be raised the several times as many conventional train bit as this, and stability, a high speed, and a highly precise aligner can be realized.

the shaping unit which the beam shaping section 7 becomes from the array and drive 5 of aperture 2 in Fig. 1 -- two or more unit preparation -- you may make it use it, switching The 2nd example of a blanking aperture array which becomes this invention of such a configuration is shown in Fig. 10. Two or more unit arrangement of 64 is carried out on one mask 75 in the shaping unit, and a control circuit 65 is attached to each. The pattern data transfer circuit section 70 consists of the pattern memory 71 and FIFO buffer 72 to each shaping unit (two-dimensional blanking aperture array BAA) 64 here. Moreover, a pattern generator 4 is a processor (CPU) and sends pattern data to memory 71 through a bus 8.

Since two or more BAA64 is formed on one mask 75 in Fig. 10, while using one BAA64, the following exposure pattern data are supplied to other BAA64, and if exposure by one BAA64 is completed, it can move to exposure by other BAA64 immediately, and it is possible to raise a throughput further.

The pattern memory 71 is classified into each field for every BAA64, and CPU4 writes each dot pattern data to BAA64 in the applicable field of memory 71. In the transfer-circuit section 70, applicable data are supplied for this to each drive of BAA64 through read-out, FIFO buffer 72, and a control circuit 65. this Fig. 10 -- each stencil of a stencil mask -- two-dimensional -- it is equivalent to what was constituted from BAA64.

On one mask (substrate) 75, a stencil etc. may be prepared other than one piece or two or more BAA64, and the 3rd example of a blanking aperture array which becomes this invention of such a configuration is shown in Fig. 11. 66A is opening for adjustable rectangles, and 66B is a stencil. Although a large number [stencil 66B] generally since it cuts off the pattern which comes out well by IC, it shows only the two pieces by this example.

Two-dimensional BAA64 is made to live together as stencil 66B on one mask 75 in Fig. 11. Therefore it appears very well, structure is simpler for the stencil 66B, and that of the pattern with high operating frequency is rational. [of the direction] Although opening for adjustable rectangle beam shaping is generally also prepared in a stencil mask, if it is made such also by this example (66A is opening for adjustable rectangle beam shaping, and 66 is a stencil), the pattern of comparatively large line breadth can be exposed by adjustable rectangle beam exposure, data transfer can be carried out to BAA64 during the exposure, and, next, beam shaping by BAA64 and exposure can be performed. At stencil 66B, since the pattern data transfer is unnecessary, it has the effectiveness which the burden of CPU etc. mitigates with this mask 75.

Mask 75 itself is also good also as not one sheet but two or more sheets. The 4th example of a

blanking aperture array which becomes this invention of such a configuration is shown in Fig. 12. In this example, two masks 75A and 75B are used. The same sign is given to the same part as Fig. 23 among the 12th Fig., and the explanation is omitted. When using these masks 75A and 75B in piles, using the upside shaping section and the lower part uses the lower shaping section as mere opening, let the upper part be mere opening. In this example, as for 73 and 76, the shaping section in use, and 74 and 77 are simple rectangle openings, and shaping to a passage beam is not performed.

With a stencil mask and a BAA mask, structures differ remarkably. As shown in Fig. 12, if a mask is made into two sheets, one side uses as a stencil mask and another side is used as a BAA mask, it is advantageous in respect of a production process. Moreover, with a BAA mask, many electronic circuitries, such as a shift register and a driver, are attached. By making it the format of Fig. 12, when a part considers as mere opening, it also has the advantage out of which allowance comes to wiring or a component formation field.

Since opening for adjustable rectangles is generally formed with a stencil, a stencil mask should just prepare simple rectangle opening in this in Fig. 12. Moreover, with the configuration of Fig. 12, if a two-dimensional aperture array, blanking rectangle opening, and simple rectangle opening are prepared, a deployment of both masks will be attained at a BAA mask.

Next, the 5th example of a blanking aperture array which becomes this invention is explained with Fig. 13. The same sign is given to the same part as Fig. 11 among this drawing. The /Carrying-out control voltage of the blanking electrode of aperture 2 which 3b is connected to a gland, and another side is connected to driver 5a, and deflects a beam on the other hand is received. As for an output control signal line and 62, 61 is [a shift clock line and 63] serial data lines. The dot pattern data for one line of a two-dimensional aperture array let the serial data line 63 pass, are inputted into a shift register 5, and are shifted towards the end with a shift clock.

This shift situation is shown in Fig. 14. FIFO output data 72D changes to the following pattern data for every dot pattern data for one line, therefore clock CLK number for one line. It is outputted to juxtaposition, output control signal 61A enters in the place where even the last Bu [Bo / top] went into the shift register 5, each bit of a shift register 5 is incorporated by driver 5a, and the data A, B, ..., N of each line drive blanking electrode 3a.

two-dimensional [of plurality / CPU / 4] -- what is necessary is just to prepare one to BAA DMA can perform data readout from the pattern memory 71 to FIFO buffer 72. In FIFO buffer 72, data are outputted with the demand signal from a control circuit 65. FIFO buffer 72 -- two-dimensional -- what is necessary is just to give the output data of each buffer to the shift register 5 of each line, if only the line count of BAA is prepared When preparing one piece common to each line, read-out data will be distributed to each line, and an output rate becomes high only line count twice from the shift rate of each line.

The example of a blanking aperture array is shown in Fig. 15. As shown in this drawing (a),

aperture 2 is formed in a silicon substrate 89 of etching. Blanking electrodes 3a and 3b are formed in two sides which the peripheral wall of aperture 2 counters as shown in this drawing (b). A shift register, electronic circuitry 5A, such as a driver, and wiring 5B of those are formed in the inferior surface of tongue (field by the side of electron beam outgoing radiation) of a silicon substrate 89 as shown in this drawing (c). As for this drawing (b), this drawing (d) shows a Y-Y cross section with a top view, as for this X-X cross section and this drawing (c). 90a and 90b are heavy metal layers, and it prevents an electron beam carrying out incidence to a silicon substrate 89, and having a bad influence to the potential fluctuation and electronic circuitry 5A. Although electrode 3a connected to a driver does not illustrate, it insulates by SiO two-layer etc.

A shift register is easy to be the thing of well-known circuitry. If a shift register is used for giving the signal which follows pattern data to the blanking electrode of each aperture in a line, the number of wiring can be reduced sharply. For example, although 256 drive wires are simply needed in the number of the aperture in a line being 256, if it is a shift register, it is good at one register.

The 6th example of a blanking aperture array which becomes this invention is shown in Fig. 16. A shift register 5 makes vertical connection and constitutes much shift register 5B of 4bit mold from this example. This shift register 5B is marketed as a shift register (195 molds) of TTL or ECL. This is taken shift register 5 by adding to the interior or the exterior of an aperture array. D1-D4 are the outgoing ends of 4 bit shift register 5B, and Din is [clocked into and CLR of input data and CLK] clear inputs. As shown in Fig. 16 (b), shift register 5B is formed in the substrate between aperture 2 every four of aperture 2 by the line writing direction, and driver 5a is formed in the substrate between each aperture 2 in the direction of a train, and receives one of the shift register outputs D1-D4.

When a numerical example is given, the rectangle whose one side of the size of aperture 2 is 5-10 micrometers, the pitch of 10-20 micrometers, and the number are 30-50 pieces and a total of 900-2500 pieces in length/longitudinal direction, respectively. If aperture 2 sets to 10 micrometers the rectangle and pitch whose one side is 8 micrometers, the strip region of 2-micrometer width of face will be made in a line and the direction of a train between aperture 2. It is possible to form shift register 5B and driver 5a in this strip region, as shown in Fig. 16 (b).

Although a power source line, a clock line, a signal line, etc. are required for shift register 5B, in Fig. 16 (b), these are not illustrating after [expedient] explaining. If these lines are 0.2-micrometer width-of-face Rhine and they are 5 and 0.25-micrometer width-of-face Rhine, they can be put on the strip region of 2-micrometer width of face four. If a multilayer interconnection is carried out, the line of these integral multiples can be held.

In the blanking aperture array which uses a shift register like the above-mentioned example, it carries out by carrying out, and since a shift register is set to one and an address decoding signal line becomes unnecessary to a train, the advantage on manufacture / control becomes

large. Moreover, if two or more adjustable stencils are prepared on a mask and it combines with a fixed stencil, pattern data can be supplied and prepared for other adjustable stencils during exposure by one adjustable / fixed stencil, and it can contribute to improvement in a throughput. For example, by the array which has arranged 200x200 0.5-micrometer aperture, by the shift register and blanking electrode drive, if 1-sec the processing time for 1ns performs this during exposure by other stencils even if the processing time for 200ns is needed with the need, therefore the whole, it can make the processing time zero as a matter of fact. Moreover, since the need for a mask shift is lost like a fixed stencil, the place which contributes to reduction of an exposure duration is large, and whenever [its / of a pattern / general-purpose] improves, and the degree of freedom of a design increases it.

Next, the 7th example of a blanking aperture array which becomes this invention is explained with Figs. 17 and 18. Fig. 17 shows the circuit diagram of the shift register used by this example, and Fig. 18 shows arrangement of the shift register in a blanking aperture array.

What connected two inverters through the gate is made into a unit, it is what connected these two or more units to the serial through the 2nd gate, and a shift register consists of Figs. 17. Transistors Q1 and Q2 constitute the 1st inverter, transistors Q3 and Q4 constitute the 2nd inverter, and transistors Q5/Q6 constitute the 1st and 2nd gate, and turn on / turn off with the 1st and 2nd clock CLK1 and CLK2. These 200 units are connected to a serial, one shift register is constituted from a two-dimensional blanking aperture array in which this circuit of Fig. 17 is one unit of a shift register, and has 200x200 aperture, and 200 of this shift register are prepared only for a line count by this example.

In Fig. 18, SR1, SR2, and -- are the above-mentioned shift registers, and the slash section U is the above-mentioned unit. AP is been opening of the aperture array BAA and there are 200x200 pieces in this example. Shift registers SR1 and SR2 and -- are formed in the grid width-of-face field between the arrays of each line writing direction of this opening group, and the grid width-of-face field between the arrays of each train direction of an opening group lets wiring of clocks CLK1 and CLK2 pass.

The electrodes E1 and E2 of a pair are formed in each opening AP, respectively, one's of these E1 is connected to a gland and the power-source quantity potential VDD, and another side E2 can apply the output voltage Bbr of each unit of a shift register.

If it explains that the circuit of Fig. 17 operates as a shift register, when Input Vin will set to H (yes) now, the output of inverter Q1Q2 is L. When a clock CLK2 is H, it is given from the preceding paragraph, and at this time, a clock CLK1 is L and the gate Q5 of Input Vin is off. Therefore, the H/L output of the 2nd inverter Q3 and Q4 which became settled in the input last time is given through the gate Q6 to the next step.

Next, if a clock CLK2 is set to L and a clock CLK1 is set to H, the output L of the 1st inverter Q1 and Q2 of the above will be given through the gate Q5 to the 2nd inverter Q3 and Q4, and the output of the 2nd inverter will be set to H. However, since a clock CLK2 is L, this output H is not given to the next step, but the time of CLK2 being set to H and CLK1 being set to L in

the following cycle, is given. It is the same as that of the following, and data input and output are performed by the clock CLK2, and a data shift within the unit concerned is performed by the clock CLK1. Although the gate electrode of transistors Q2 and Q4 becomes floating when transistors Q5 and Q6 are OFF, a former condition is maintained with gate capacitance.

Next, the example of the manufacture approach of a blanking aperture array which becomes this invention is explained with Figs. 19 and 20.

As shown in Fig. 19 (a), an impurity diffused layer 112 is made from impurity placing etc. to the semi-conductor substrate 110, and on this, as shown in this drawing (b), the epitaxial growth phase 114 is grown up. Next, as shown in this drawing (c), the MOS transistor which constitutes a component 130, i.e., an inverter, and the gate is formed in the epitaxial growth phase 114. The 1st [which gives the shift register which makes an inverter and the gate a unit to the gate to a line writing direction], and 2nd clock signal line is prolonged in the direction of a train. Although between these lines and trains becomes Opening AP, as formation of this opening is shown in Fig. 20, it is performed.

That is, as shown in Fig. 20 (a), it etches until it reaches the slot 116 on the narrow width by trench etching in the location of the side side where the pair of each opening of the epitaxial growth phase 114 counters at a substrate 110. As shown in this drawing (b), next an insulator layer 118 is formed in the whole surface, and next, make an electrode material 120 deposit on a slot 116, as shown in this drawing (c). Next, as shown in this drawing (d), etching removes the epitaxial growth phase 114 and impurity diffused layer 112 between the electrode E1 made in this way and E2.

Next, as shown in Fig. 19 (d) from a rear face, taper etching of between the electrode E1 of the semi-conductor substrate 110 and E2 is carried out. Opening AP is completed now.

one side of the electrodes E1 and E2 of each opening -- the output of each unit of a shift register -- moreover -- although at least interruption of service of a power source connects the low voltage side GND to another side by turns the Side GND or high potential side VDD -- this wiring process -- wiring for each component of a shift register, and a clock signal line -- or it carries out independently.

Next, the 8th example of a blanking aperture array which becomes this invention is explained with Figs. 21 and 22. Fig. 21 shows the circuit diagram of the shift register used by this example, and Fig. 22 shows arrangement of the shift register in a blanking aperture array.

one unit of a shift register consists of this examples at one inverter and one gate to be shown in Fig. 21. In this case, since output voltage Vout is reversed to input voltage Vin, by the electrode side of opening, it is reversed and returns.

That is, as shown in Fig. 22, it does not connect with a gland all at once, but one electrode E1 of each opening AP is connected to a power source VDD and Gland GND by turns by the line writing direction.

Moreover, the gate Q5 of each unit receives the 1st and 2nd clock CLK1 and CLK2 by turns by the line writing direction. Therefore, if two units are regarded as one, the same shift register as

Fig. 17 also consists of Figs. 21.

The shift register of a shift action of Fig. 21 is the same as the shift register of Fig. 17.

Although 200 things of for example, 200 units are prepared, a shift register can prepare the shift register of 200 units similarly, for example, and can perform the data input to these from each of that unit.

Although the output of the unit concerned is given also during a data shift to the electrode E2 of each opening, irradiating an electron beam to the aperture array BAA can make a request configuration the cross-section configuration of the electron beam with which exposure is presented, when the output of each unit turns into a desired output by shift termination then.

In the shift register of Fig. 21, it is reversed by turns and the output of each unit becomes noninverting. Although input data may be transformed in consideration of this thing, can be re-reversed with the potential of the electrode E1 of another side, and suppose that it is noninverting all. namely, -- if it counts from the close side of a shift register and a power source VDD is added to the electrode E1 of the opening AP corresponding to the unit of No. odd, as shown in Fig. 22 -- input data -- the time of "1 (H)" -- output data, although it is set to "0 (L)" and an electrode E2 receives L level Since an electrode E1 is H level, electric field act on this opening after all, it deflects a beam, and it is made not to reach a wafer (data "1" are considered as beam-off). It connects with Gland GND and the electrode E1 of opening corresponding to the unit of No. even is considered as beam-off and ON according to H of the electrode E2 of another side, and L. Since the output of the unit of No. even is noninverting, it is good now.

H level and L level which are given to an electrode E1 in Fig. 22 are H level of the output of the unit of a shift register, and L level theoretically, and being reversal / being un-reversed are performed now. Although the electrodes E1 of each opening were connected to the gland (L level) all at once in Fig. 17, since you may connect with a power source VDD (H level) all at once, however it is reversed all at once in this case, this also needs to reverse input data.

According to the 7th and 8th examples, it is possible to arrange a shift register and a clock signal line in the narrow grid width of face (field between openings) of a two-dimensional blanking aperture array. That is, although one unit of a shift register corresponds to 1 opening, if one unit is Fig. 17 and it is six transistors and Fig. 21, it consists of three transistors. There is one clock signal line of the a total of 3 and the direction of a train of two power-source lines and one signal line, if Fig. 17 and Fig. 21 are Figs. 17 and line writing direction wiring is 2 and Fig. 21. It follows, for example, is enough settled in this grid width of face also as grid width of face of 3 micrometers, and wiring width of face of 0.5 micrometers.

In addition, a silicon substrate is suitable for the semi-conductor substrate 110 used in Fig. 19. The stopper formation to etching is the purpose, and by this, formation of an impurity diffused layer 112 can open a slot 116 from a front face to this part, and can perform taper etching from a rear face to this part, and can make the opening AP which the rear-face side extended. Into a slot 116, deposition of an electrode material 120 can grow up the polycrystalline silicon layer of an impurity dope with a CVD method, and can be performed by carrying out patterning of it.

Except for the gate Q5, the output of the 1st inverter Q1 and Q2 is directly given in Fig. 17 to the input (gate electrode of Q4) of the 2nd inverter Q3 and Q4. This moreover, as one unit of a shift register. If the clock of the gate Q6 is set to CLK1 and CLK2 by turns per contiguity, it will be the same as that of Fig. 21, however the shift register which does not have being reversal and being un-reversed in the output of each unit will be obtained. It leaves the gate Q5, and Q6 removes, it considers as direct connection, and the clock of the gate Q5 is the same also as CLK1 and CLK2 by turns per contiguity.

According to the 7th and 8th examples of the above, the electron beam exposure by the blanking aperture array which does not allow imitation of the lithography technique of very others can realize easily which of a detail, alignment, precision, a quick turnaround, and dependability. Moreover, since there may be few the components and the numbers of wiring which are made in grid width of face, the two-dimensional blanking aperture array of fine mesh width of face is easily realizable.

[Effect of the Invention]

According to this invention, the charged particle beam exposure which was superior to the conventional lithography technique in all a detail, alignment precision, quick turnarounds, the control, and dependability is attained, and it is very useful practical.

[Translation done.]

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.